

UCV 683

PRODUCT

- CPU 68020 at 16MHz
CPU 68020 à 16MHz
- 256KB boot flash
Flash de boot de 256Ko
- 512KB flash code
Flash code de 512Ko
- 2MB double access SRAM
SRAM double accès de 2Mo
- 2 RS422/RS232D serial links
2 liaisons séries RS422/RS232D
- 8 TTL inputs of which 1 isolated
8 entrées TTL dont 1 isolée
- 8 TTL outputs of which 1 isolated
8 sorties TTL dont 1 isolée
- ETHERNET AUI (82596DX) link
Liaison ETHERNET AUI (82596DX)
- Backed-up calendar clock
Horloge calendaire sauvegardable
- Programmable watchdog
Chien de garde programmable
- 2 locations for LMS modules
2 emplacements pour modules LMC
- High testability level
Haut niveau de testabilité
- VME management by VIC 068
Gestion VME par VIC 068
- **Military and Industrial versions**
Versions Militaire et Industrielle

OBSOLETE

DESCRIPTION

Developed for difficult environments, the **UCV 683** is a VME SINGLE EUROPE 68020 CPU board.

The high integration and use of high-tech components give this board a large number of resources usually found on double Europe boards.

The presence of two LMC (Local Micro Canal) connectors makes it possible to achieve customizations such as SCSI, PCM, binary or analog inputs/outputs, ARINC 429, BUS 1553, etc.

Particular care has been paid to the notion of "IN SITU" the internal resources are all accessible from the VME.

*Développée pour les environnements difficiles, l'**UCV 683** est une carte Unité Centrale 68020 VME SIMPLE EUROPE.*

La haute intégration et l'emploi de composants de haute technologie confèrent à cette carte un grand nb de ressources rencontrées habituellement sur des cartes double Europe.

La présence de deux connecteurs LMC (Local Micro Canal) permet d'envisager des personnalisations telles que SCSI, PCM, Entrées/sorties TOR ou analogiques, ARINC 429, BUS 1553, etc .

Un soin tout particulier a été donné à la notion de programmation "IN SITU", les ressources internes sont toutes accessibles du VME.

UCV 683

SPECIFICATIONS

(t = 25°C)

TYPE	VME CPU (68020 at 16MHz)	
LOCAL RESOURCES	<ul style="list-style-type: none"> - 256Kb Boot FLASH (2 x 128K x 8) - 512Kb FLASH (4 x 128K x 8) - 2 RS422 or RS232D programmable - One Ethernet link (AUI) using the 82596DX serial links - 512KB backed-up local SRAM (4 x 128K x 8) extendable to 2MB accessible from the VME 	
LMC (Local Micro Canal) RESOURCES	<ul style="list-style-type: none"> - 8 TTL inputs one of which isolated and 8 TTL outputs one of which isolated - One 16-bit timer and one 32-bit timer (82C54) - Programmable watchdog - Backed-up calendar clock - Interrupt controller (VIC068) 	
TESTABILITY	<ul style="list-style-type: none"> - 2 locations for LMC modules 	
TESTABILITY	<ul style="list-style-type: none"> - Microprocessor inhibition for emulation by the VME bus - Boot flash programmable in situ 	
TESTABILITY	<ul style="list-style-type: none"> - All internal resources accessible via the VME bus - Programmable internal Ethernet and RS232 / RS422 looping 	
VME RESOURCES	<ul style="list-style-type: none"> - ANSI standard - Addressing mode in master/slave A16, A24 - Interrupt management - Interrupt transmitter - Bus arbitration - Bus request - Bus timeout module (µs) - VME signal filtering 	
VME RESOURCES	<ul style="list-style-type: none"> - VME BUS SPECIFICATIONS ANSI/IEEE std 1014/1987 - VME interface using the VIC 068 D08(OE), D16 D08(OE) : RMW, D16 : RMW, D16 : BLT D08 (0), IH (1-7) I (1-7) SGL, PRS, PRI, BCLR generation RWD, ROR, ROC BTO (4,16,32,64,128,256,512,infinite) SYSRESET, ACFAIL 	
POWER SUPPLY	5V ± 0.5V / 1.25A typ 1.6A max. Standby 2.75V to 4.00V External Ethernet supply : +12V (protected by resettable fuse)	
PRESENTATION	<ul style="list-style-type: none"> - Format (in mm) - Connections Single EUROPE (100 x 160) IEC297-3 standard C96 DIN 41612 for the VME DEUTSCH DMC-M 4 inserts for the front panel	
ENVIRONMENT	INDUSTRIAL	MILITARY
<ul style="list-style-type: none"> - Specification - Operating temperature - Storage temperature - Relative humidity - Sinusoidal vibrations - Impacts - Electromagnetic environment - Pressure 	<ul style="list-style-type: none"> - - 25°C / + 85°C - 40°C / +100°C 90% without condensation 20 to 2000Hz - 5g 100g / 6ms half sine standards : MIL STD 461A and 462 25 to 1100 mbar 	<ul style="list-style-type: none"> MIL STD 883C - 40°C / + 100°C - 55°C / + 125°C

HOW TO ORDER ?

UCV 683 / *

RANGE	
I	Industrial
M	Military

REFERENCE PRODUIT : UCV 683

DATE	NATURE DE L'EVOLUTION	AUTEUR
Janvier 93	◆ Création de la documentation Edition 1 - Révision A	Ph. R
Août 93	◆ Modification de la documentation Edition 2 - Révision B	Ph. R
Juillet 94	◆ Passage en révision C Edition 2	Ph. D
Janvier 95	◆ Corrections des pages 28 et 32 Edition 3 - Révision C	Ph. D

UNITE CENTRALE

UCV 683

SOMMAIRE

A	PRESENTATION	4
A.1.	INTRODUCTION	4
A.2.	PRINCIPALES CARACTERISTIQUES	5
B.	ANALYSE FONCTIONNELLE	7
B.1.	MICROPROCESSEUR 68020	7
	B.1.1. ESPACE MICROPROCESSEUR 68020	7
	B.1.2. BUS ERROR 68020	8
	B.1.3. COMMUTATION MEMOIRE DE BOOT	8
	B.1.4. ACCES RESSOURCES EN MODE "TEST"	8
B.2.	RAM LOCALE μp/VIC	9
	B.2.1. ACCES EN LOCAL	9
	B.2.2. ACCES DU VME	10
B.3.	MEMOIRE FLASH DE BOOT	11
	B.3.1. ORGANISATION	11
	B.3.2. PROGRAMMATION	11
B.4.	BANQUE FLASH	12
	B.4.1. ORGANISATION	12
B.5.	LIAISONS SERIES	13
	B.5.1. CONTROLEUR 85C30	13
	B.5.2. INTERFACE RS232/RS422	13
B.6.	TIMERS	14
	B.6.1. TIMERS DU 82C54	14
	B.6.2. INTERRUPTION PERIODIQUE DU VIC	14
B.7.	CHIEN DE GARDE	15
B.8.	HORLOGE CALENDRAIRE	16

B.9.	ENTREES/SORTIES	17
	B.9.1. SORTIES TOUT OU RIEN	17
	B.9.2. ENTREES TOUT OU RIEN	18
	B.9.3. REGISTRE DE CONTROLE	18
B.10.	INTERFACE ETHERNET	19
B.11.	LOCAL MICRO CANAL	20
B.12.	INTERFACE VME	21
	B.12.1. INITIALISATION	21
	B.12.2. SYSTEME CONTROLEUR	21
	B.12.3. ACCES VERS LE VME	22
	B.12.4. DEADLOCK.....	23
	B.12.5. WRITE POSTING.....	23
	B.12.6. TRANSFERT PAR BLOC.....	23
	B.12.7. ACCES DU VME	24
	B.12.7.1. MEMOIRE PARTAGEE	24
	B.12.7.2. COMMUNICATIONS INTERPROCESSEURS.....	24
B.13.	INTERRUPTIONS	26
	B.13.1. INTERRUPTIONS LOCALES.....	26
	B.13.2. INTERRUPTION VERS LE VME.....	28
B.14.	INITIALISATION	29
	B.14.1. CIRCUIT D'INITIALISATION	29
	B.14.2. PROTECTION PERTE D'ALIMENTATION	29
C.	MISE EN OEUVRE	30
C.1.	STRAPS	30
C.2.	CAVALIERS	30
C.3.	LEDS	31
C.4.	CONNECTIQUE	32
	C.4.1. ASSIGNATION DES BROCHES POUR LE CONNECTEUR P1 C96	33
	C.4.2. ASSIGNATION DES BROCHES POUR LE CONNECTEUR P2.....	34
	C.4.3. ASSIGNATION DES BROCHES POUR LES CONNECTEURS J1 et J2....	35
C.5.	PLAN MEMOIRE RESSOURCES	37
	C.5.1. PLAN MEMOIRE DES RESSOURCES UCV683 VUE EN INTERNE	37
	C.5.2. PLAN MEMOIRE ESPACE VME STANDARD	38
	C.5.3. PLAN MEMOIRE ESPACE VME SHORT IO	39
D.	PLANS D'EQUIPEMENT	40
E.	DOCUMENTATION ANNEXE	42

A PRESENTATION

A.1. INTRODUCTION

La carte **UCV 683** est une carte Unité Centrale **VME** maître (A24/D16) basée sur le microprocesseur 32 bits 68020 à 16MHz. Cette carte est disponible en version commerciale, industrielle et militaire.

Pour améliorer la fabrication et la maintenance, des fonctionnalités de tests et de programmations ont été implantées.

La carte **UCV 683** est parfaitement compatible avec le bus **VME** Norme IEEE 1014 et IEC821. Le format est un VME SIMPLE EUROPE 100 x 160 mm Norme CEI297-3.

Le synoptique ci-après, illustre les ressources du produit.

A.2. PRINCIPALES CARACTERISTIQUES

UCV 683

PRINCIPALES CARACTERISTIQUES (t = 25°C)

TYPE	Unité Centrale VME
MICROPROCESSEUR	68020 à 16MHz
RESSOURCES LOCALES	<ul style="list-style-type: none"> - FLASH de Boot de 256K.octets (2 x 128K x 8) - SRAM locale secourable de 512K.octets (4 x 128K x 8) extensible à 2M.octets accessible du VME . - FLASH de 512K.octets (4 x 128K x 8). - 2 liaisons séries programmables RS422 / RS232D sur le connecteur J1 - Une interruption périodique programmable (VIC) - Un Timer 16 bits et Un Timer 32 bits (82C54). - Chien de garde programmable - Horloge calendaire sauvegardée - 8 entrées TTL et 1 entrée isolée. - 8 sorties TTL et 1 sortie isolée. - Un contrôleur d'interruption (VIC068) - Une liaison Ethernet (AUI) utilisant le 82596DX.
RESSOURCES LMC	(Local Micro Canal) <ul style="list-style-type: none"> - 2 emplacements pour modules de 16 bits. - 2Mo d'espace adressable standard par emplacement. - 512 octets d'espace IO par emplacement.
TESTABILITE	<ul style="list-style-type: none"> - Inhibition du microprocesseur pour émulation par le VME. - Flash de Boot programmable in situ. - Totalité des ressources internes accessible par une carte VME standard. - Rebouclage interne Ethernet programmable. - Rebouclage interne RS232 / RS422 programmable.

<p>RESSOURCES VME</p> <ul style="list-style-type: none"> - norme ANSI <p>MAITRE</p> <ul style="list-style-type: none"> - Mode d'adressage A16, A24 <p>ESCLAVE</p> <ul style="list-style-type: none"> - Mode d'adressage A16, A24 - Gestion des interruptions - Emetteur des interruptions - Arbitre de bus - Demande de bus - Module bus Timeout - Filtrage signaux VME 	<ul style="list-style-type: none"> - VME BUS SPECIFICATIONS ANSI/IEEE standard 1014/1987 - Interface VME utilisant le VIC 068 <p>Cycles générés D08 (OE), D16 D08 (OE) : RMW, D16 : RMW, D16 : BLT</p> <p>Cycles acceptés D08 (OE), D16 D08 (OE), RMW, D16 : RMW , D16 : BLT</p> <p>D08 (O), IH (1-7) I (1-7) SGL, PRS, PRI, BCLR génération RWD, ROR, ROC BTO (4, 16, 32, 64, 128, 256, 512, infini) SYSRESET, ACFAIL.</p>
<p>ALIMENTATION</p>	<p>5V ± 0,5V / 1.25A typ1.6A max. Standby 2.75V...4.00V. Alimentation externe Ethernet + 12V (protégée par un fusible réarmable). LMC + 12V / - 12V</p>
<p>PRESENTATION</p> <ul style="list-style-type: none"> - Format - Connectique 	<p>Simple EUROPE (100 x 160) Norme CEI297-3 C96 DIN 41612 pour le VME DMC-M 4 inserts pour la face avant SAMTEC 80 points micro strips pour les LMC</p>

B. ANALYSE FONCTIONNELLE

B.1. MICROPROCESSEUR 68020

La carte **UCV 683** fait appel au microprocesseur 32 bits 68020 de **MOTOROLA** cadencé à 16MHz. Les fiches de spécifications du constructeur illustrent les caractéristiques de ce produit.

MC 68020
MOTOROLA
TECHNICAL SUMMARY

B.1.1 ESPACE MICROPROCESSEUR 68020

Le 68020 peut accéder à 5 espaces différents suivant son état (USER ou SUPERVISOR) et le type d'accès effectués (DATA ou PROGRAM). Ces espaces permettent un accès sélectif des ressources.

FC2	FC1	FC0	ESPACE	
0	0	0	Espace Réserve (SLAVE BLOCK TRANSFERT)	VME
0	0	1	Espace USER DATA	68020
0	1	0	Espace USER PROGRAM	68020
0	1	1	Espace Réserve (LOCAL DMA)	VIC
1	0	0	Espace Réserve (STANDARD SLAVE ACCES)	VME
1	0	1	Espace SUPERVISOR DATA	68020
1	1	0	Espace SUPERVISOR PROGRAM	68020
1	1	1	Espace CPU	68020

Le bus local est partagé par ordre de priorité croissante par le 82596DX, le VIC et le 68020.

L'espace STANDARD SLAVE ACCES est utilisé par le VME pour accéder à la RAM locale de la carte **UCV 683**.

L'espace SLAVE BLOCK TRANSFERT est utilisé par le VME pour accéder à la RAM locale en mode BLOCK.

L'espace LOCAL DMA est utilisé par le VIC pour les cycles DMA vers la RAM locale alimentant les blocs transferts sur le **VME** ou par le contrôleur ETHERNET 82596DX.

B.1.2. BUS ERROR 68020

Un BUS ERROR est émis par le VIC si le microprocesseur tente d'accéder à une ressource de manière anormale (ressource inexistante, violation de privilège...).

B.1.3. COMMUTATION MEMOIRE DE BOOT

Lors de la mise sous tension ou d'un reset de la carte, le microprocesseur utilise les adresses 00000000H à 00000007H pour charger le pointeur de pile et le compteur programme.

A la mise sous tension, ces adresses 0H à 7H sont masquées, le microprocesseur utilise le contenu de la mémoire FLASH de Boot (adresses 700000H à 700007H). Ces adresses deviennent de la RAM après ces 4 accès 16 bits.

B.1.4. ACCES RESSOURCES EN MODE "TEST"

La notion d'espace permet à la carte **UCV 683** d'utiliser un mode *TEST* permettant à une carte standard du **VME** d'accéder aux ressources internes de la carte. Ce mode ne doit pas être utilisé en mode *NORMAL*, la carte décodant alors la totalité de l'espace étendu du **VME** (AM09 et 0DH).

Ce mode étant indépendant de l'activité du 68020, il peut être utilisé pour le test de la carte et la programmation des FLASHs de Boot.

Le mode de fonctionnement de la carte **UCV 683** est codé sur deux straps.

W1	W2	MODE DE FONCTIONNEMENT
OFF	OFF	Mode <i>NORMAL</i> /Carte non-contrôleur
OFF	ON	Mode <i>NORMAL</i> /Carte contrôleur.
ON	OFF	Mode <i>TEST</i> /Microproc. Inhibé (HALT/) / Carte non-contrôleur

B.2. RAM LOCALE μ p/VIC

La carte **UCV 683** dispose de quatre mémoires RAMs 128K x 8 ou 512K x 8 configurées en banque 32 bits totalisant 512K ou 2M.octets. Cet espace mémoire est destiné aux données du programme résidant.

Les composants utilisés pour la RAM sont statiques. L'utilisation de ces composants évite ainsi des cycles de rafraîchissement interrompant le microprocesseur.

Ce banc mémoire est sauvegardé par la tension + 5VSTDBY du bus **VME**.

Une détection de perte d'alimentation permet un blocage des accès aux RAMs et ainsi, de sauvegarder toutes les informations stockées dans celles-ci.

B.2.1. ACCES EN LOCAL

Les accès peuvent avoir lieu en 8, 16 ou 32 bits.

CAPACITE	ADRESSE DE BASE (H)	ADRESSE HAUTE (H)
512K.octets	00000000	0007FFFF
2M.octets	00000000	001FFFFFFF

- **Remarque** : La carte décodant 2 M.octets, le motif est dupliqué n fois dans l'espace 00000000 - 001FFFFFFF.

B.2.2. ACCES DU VME

Du bus **VME**, l'espace RAM locale est accessible en accès standard DATA ACCES (A24-D16) 8 ou 16 bits (code de modifications d'adresses 39 ou 3DH). La carte **UCV 683** décode 2M.octets sauf si SEL0=SEL1=1 (Au RESET).

CAPACITE	ADRESSE DE BASE		ADRESSE HAUTE	
	Locale	Vu VME	Locale	Vu VME
512K.octets	000000H	X00000H	07FFFFH	X7FFFFH
2M.octets	000000H	X00000H	1FFFFFFH	XFFFFFFH

Les bits de sélection SEL0 et SEL1 accessibles du registre de contrôle donnent l'adresse de base de la carte **UCV 683** vue du **VME**.

SEL1	SEL0	ADRESSE DE BASE (Hex)
0	0	000000
0	1	200000
1	0	400000
1	1	Accès RAM locale inhibé

- **Remarques** : A la mise sous tension, la RAM de la carte n'est pas accessible par le VME. Dans ce cas la led FAIL est allumée signalant que la carte n'est pas initialisée.

L'espace RAM locale utilisant SLSEL0, les registres de contrôle du VIC doivent être configurés comme suit :

E000C3 : xxx10110
E000C7 : 00000000

B.3. MEMOIRE FLASH DE BOOT

B.3.1. ORGANISATION

La carte **UCV 683** dispose d'une mémoire FLASH de BOOT organisée en mot de 16 bits (en accès 8, 16 et 32 bits) de 256K.octets basée sur les PEROMs AMD 29F010.

Cet espace mémoire contient le programme résidant (Boot et auto test). En mode *NORMAL*, le microprocesseur l'utilise pour démarrer.

CAPACITE	ADRESSE DE BASE (H)	ADRESSE HAUTE (H)	TYPE
256K.octets	00700000H	0073FFFFH	29F010

- **Remarques** : La carte décodant 1M.octets, le motif est dupliqué n fois dans l'espace 00700000 - 007FFFFF.

Cet espace mémoire est programmable en interne ou du **VME**

En mode *TEST* la programmation peut s'effectuer directement par le bus **VME**.

B.3.2. PROGRAMMATION

La mémoire Flash PEROM d'AMD 29F010 augmente les possibilités d'une EPROM en étant programmable électriquement (jusqu'à 100000 cycles effacement/programmation) sous une tension de 5V seulement.

Il est conseillé de se reporter à la documentation des composants en annexe.

B.4. BANQUE FLASH

B.4.1. ORGANISATION

L'espace mémoire FLASH (AMD 29F010) est en banque 32 bits accessibles en 8, 16, 32 bits en lecture et en écriture.

Le choix des boîtiers détermine la capacité mémoire. La présence d'emplacements 32 broches à la norme JEDEC offre les possibilités suivantes :

BOITIERS	CAPACITE	ADRESSE DE BASE	ADRESSE HAUTE
1M bits (29F010)	512K.octets	F00000H	F7FFFFH

- **Remarque** : Lorsque tout l'espace décodé n'est pas utilisé, le motif est dupliqué n fois dans l'espace considéré.

B.5. LIAISONS SERIES

La carte **UCV 683** comporte 2 liaisons séries gérées par un 85C30 pouvant être configurées indépendamment sous forme :

- D'une liaison de type RS232D pouvant travailler jusqu'à 19200 bauds accessibles sur le connecteur J1 utilisant les signaux TX, RX, CTS et RTS.
- D'une liaison de type RS422 accessible du connecteur J1 limitée aux signaux TX et RX.

B.5.1. CONTROLEUR 85C30

La fréquence de l'horloge appliquée sur le boîtier 85C30 est de 8MHz.

Adressage des ports séries (accès 8 bits uniquement) :

LIAISON	REGISTRE	ADRESSE
Port B (console)	STATUS	00500000 H
	DONNEES	00500001 H
Port A	STATUS	00500002 H
	DONNEES	00500003 H

Le composant est câblé sur LIRQ4 du VIC.

Il est conseillé de se reporter à la documentation du boîtier 85C30 pour la programmation des registres.

B.5.2. INTERFACE RS232/RS422

L'interface **RS232/RS422** est basée sur le composant programmable SIPEX SP302.

Trois signaux accessibles par le registre de contrôle (480000H) permettent de configurer son mode de fonctionnement.

SELECTA	SELECTB	PORTA	PORTB
0	0	RS232	RS232
0	1	RS232	RS422
1	0	RS422	RS232
1	1	RS422	RS422

Le signal LOOP (actif à 0) permet de reboucler la liaison pour un auto test jusqu'à 3000 Bauds. Les signaux de sortie sur le connecteur sont alors en haute impédance. Cet état est positionné au RESET.

B.6. TIMERS

La carte **UCV 683** dispose de 2 timers 16 et 32 bits architecturés autour d'un 82C54 et d'une interruption périodique fournie par le VIC.

B.6.1. TIMERS DU 82C54

Le 82C54 regroupe trois timers indépendants de 16 bits. Les timers 1 et 2 sont chaînés pour obtenir un timer 32 bits sur LIRQ5. Le timer 3 est actif si le chien de garde partageant la même interruption (LIRQ7) est inhibé.

Le 82C54 dispose de quatre registres pour sa programmation interne.

ADRESSE	REGISTRE	CLK	OUT
00800000	TIMER1	8MHz	TIMER2
00800001	TIMER2	TIMER1	LIRQ5
00800002	TIMER3	8MHz	LIRQ7
00800003	CONTROLE		

L'accès se fait en 8 bits uniquement.

Il est conseillé de se reporter à la documentation du boîtier pour la programmation des registres.

B.6.2. INTERRUPTION PERIODIQUE DU VIC

Le VIC peut fournir une interruption périodique à 50, 100 ou 1000Hz sur l'interruption LIRQ2. L'utilisation de cette interruption inhibe les interruptions des LMCs sur LIRQ2.

B.7. CHIEN DE GARDE

A la mise sous tension le chien de garde est inhibé. Il se déclenche si aucun accès (en 8, 16 ou 32 bits) n'est effectué à l'adresse 400000H en écriture fictive ou en lecture dans un temps déterminé.

Le tableau ci-après donne la durée du chien de garde suivant les bits DOG0 et DOG1 du registre de contrôle (480000H).

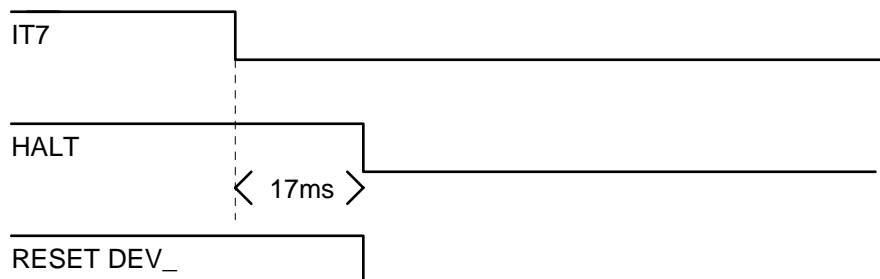
DOG1 (D17)	DOG0 (D16)	DUREE APPROXIMATIVE
1	1	1050ms
1	0	265ms
0	1	68ms
0	0	Inhibé

Le timer 3 du VIC doit être inhibé lors de l'utilisation du chien de garde.

- **Remarque** : La durée du chien de garde peut être changée dynamiquement après une réactivation. Le chien de garde est inhibé après un RESET (registre à 0).

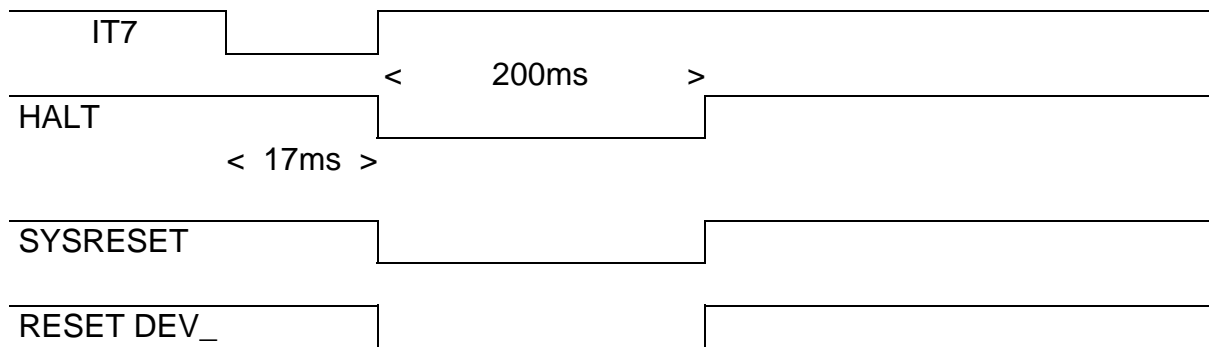
Le déclenchement du chien de garde entraîne une interruption de niveau 7 puis, environ 17ms minimum après (si le chien de garde n'est toujours pas activé), la mise en **HALT** du microprocesseur (SYSFAIL actif...) et la réinitialisation des périphériques et du registre de contrôle (FAIL actif...).

Lorsque la carte n'est pas contrôleur de bus, la remise en fonctionnement ne peut se faire que par un **SYSRESET** ou en coupant l'alimentation.



Lorsque la carte est contrôleur de bus, la chute du chien de garde provoque :

- un SYSRESET sur le bus **VME**,
- environ 200ms après, la remise en fonctionnement.



B.8. HORLOGE CALENDRAIRE

La fonction horloge calendrier est réalisée par le circuit ICM 7170 d'INTERSIL couplé à un oscillateur de 32.768KHz. Cette horloge temps réel est sauvegardée par le +5VSTBY. Elle fournit une interruption sur l'interruption locale 6 du VIC.

Son adresse de base est 600000H.

Il est conseillé de se reporter à la documentation du composant pour la programmation des registres.

B.9. ENTREES/SORTIES

8 entrées tout ou rien, 8 sorties tout ou rien et 8 bits de contrôle (totalisant 24 bits d'entrées/sorties) sont regroupés à l'adresse 480000H.

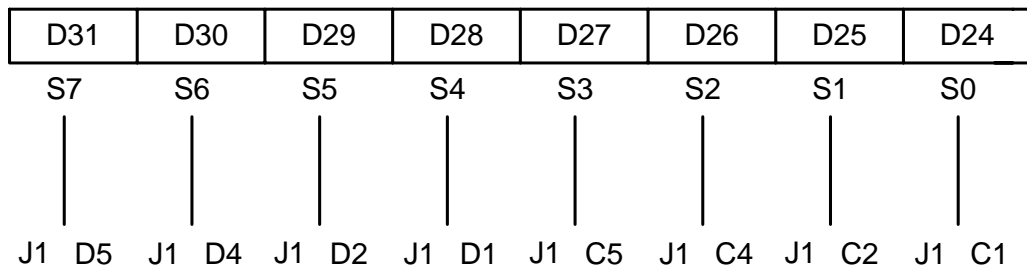
La lecture ou l'écriture s'effectue en accès 8, 16 et 32 bits.

D31	D24	D23	D16	D15	D08	D07	D00
S7-S0		CTL		E08-E00		FF	

B.9.1. SORTIES TOUT OU RIEN

Ces sorties de type TTL (Initialisées à FFH à la mise sous tension) sont accessibles en face AVANT.

Adresse 480000H accès 8, 16 ou 32 bits en écriture.



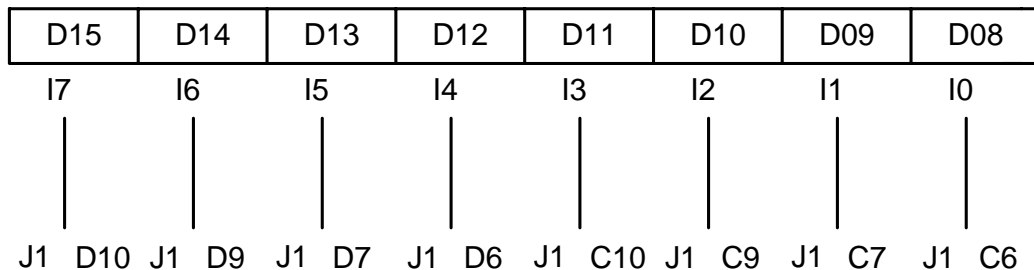
La sortie S7 est aussi accessible en mode isolé sur les broches J1-D8 /J1-D13.

Les caractéristiques du relais utilisé sont fournies en annexe.

B.9.2. ENTREES TOUT OU RIEN

Ces entrées de type TTL sont accessibles en face avant.

L'accès s'effectue en lecture 8, 16, 32 bits à l'adresse 480000H.

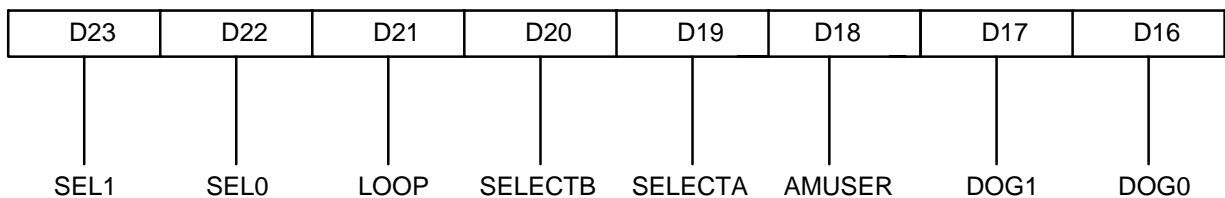


L'entrée I7 provient soit d'une entrée de type TTL (J1-D10) soit d'un photocoupleur (J1-C8/J1-C13).

Les caractéristiques de ce relais sont fournies en annexe.

B.9.3. REGISTRE DE CONTROLE

Initialisé à C0H à la mise sous tension.



- Les bits SELECTA, SELECTB et LOOP concernent les liaisons RS232/RS422
- SEL0 et SEL1 (informations relatives à l'adresse de la **UCV 683** sur le VME).
- Bits DOG1 et DOG0 du chien de garde.
- Bit AMUSER de l'interface VME.

B.10. INTERFACE ETHERNET

L'interface ETHERNET (10BASE5) de la carte **UCV 683** est basée sur un 82596DX opérant à 16MHz couplé à un 82C501 opérant à 20MHz.

Le 82596DX utilise des commandes de haut niveau pour l'émission et la réception de trames et opère en maître sur le bus 68020 . Les échanges entre le CPU et le 82596 s'effectuent à travers la RAM locale et les registres de commandes PORT (300000H) et CA (Channel Attention) (200000H).

Le 82596DX utilise la structure de données BIG ENDIAN et offre la possibilité d'un rebouclage interne.

Il est conseillé de se reporter à la documentation du composant pour sa programmation.

Le tableau ci dessus illustre la connexion de la carte **UCV 683** avec un connecteur AUI (Attachement Unit Interface).

UCV 683	AUI	SIGNAL
J1 D18	1	Collision Shield
J1 D12	2	Collision +
J1 D16	3	Transmit +
J1 D18	4	Receive Shield
J1 D20	5	Receive +
J1 D15	6	Power Return
	7	
	8	
J1 D11	9	Collision -
J1 D17	10	Transmit -
J1 D18	11	Transmit Shield
J1 D19	12	Receive -
J1 D14	13	+ 12 Volts
J1 D15	14	Voltage Shield
	15	

La tension d'alimentation du transceiver (12V) est fournie au travers d'un fusible réarmable.

B.11. LOCAL MICRO CANAL

La carte **UCV 683** possède deux connecteurs d'extension de 80 points autorisant le montage de modules filles sur le bus LMC. Le concept des modules LMC est une extension physique des signaux du microprocesseur combinés avec des points du connecteur Deutsch de face AVANT (20 pts par module).

Ces extensions donnent la possibilité de monter des modules soit simple LMC (60 x 95mm), soit double LMC (130 x 95mm).

Chaque LMC décode 2M.octets.

ESPACE	CAPACITE	ADRESSE DE BASE	ADRESSE HAUTE
LMC1 IO	512K.octets	900000H	97FFFFH
LMC2 IO	512K.octets	980000H	9FFFFFFH
LMC1	2M.octets	A00000H	BFFFFFFH
LMC2	2M.octets	C00000H	DFFFFFFH

Chaque LMC peut utiliser les lignes d'interruption LIRQ1 et LIRQ2.

Le LMC1 utilise le connecteur J1 (coté face AVANT) et la coquille A.

Le LMC2 utilise le connecteur J2 (coté fond de panier) et la coquille B.

L'utilisateur se reportera à la norme LMC pour plus de détails.

B.12. INTERFACE VME

La carte **UCV 683** est une carte Unité Centrale A24/D16 basée sur le VIC 068. Elle peut agir soit en maître en accédant aux autres cartes du châssis, soit en esclave en autorisant l'accès à sa RAM locale et à ses registres de communications.

La carte **UCV 683** peut être configurée en carte contrôleur sur le VME.

Les modes DMA et Block Transfer du VIC sont implantés sur la carte **UCV 683**.

Le VIC contient 58 registres (adresse de base E00000H) fournissant la configuration, le contrôle et le status des opérations sur le **VME** (se reporter à la documentation CYPRESS du composant).

Un certain nombre de ces registres doit être programmé de façon spécifique pour obtenir un fonctionnement correct de la carte **UCV683**.

B.12.1. INITIALISATION

Les accès se font en 32 bits, 16 bits et 8 bits aux octets de poids faibles et alignés uniquement.

Le VIC068 doit être initialisé avant d'utiliser le bus **VME** (maître/esclave) et les interruptions (**locale** ou **VME**).

Un exemple d'initialisation est fourni en annexe.

B.12.2. SYSTEME CONTROLEUR

La carte la plus à gauche dans le rack **VME** (slot 1) doit être configurée en système contrôleur (arbitrage du bus, SYSCLK, IACK DAISY CHAIN).

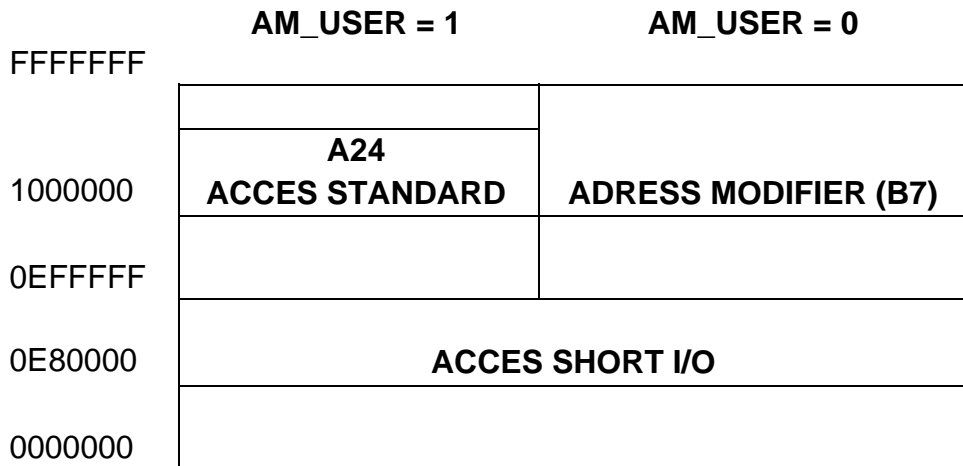
La configuration s'effectue par strap.

W2	OFF	CARTE NON-CONTROLEUR
W2	ON	CARTE CONTROLEUR

Le status de la carte peut être lu dans le registre du VIC nommé "interface configuration registre (AF)" sur le bit 0 (un "1" indique que la carte est contrôleur).

B.12.3. ACCES VERS LE VME

La carte **UCV 683** accède aux ressources du bus **VME** lorsque A24 est différent de 0 ou par l'espace E80000-EFFFFF.



Le bit AMUSER est fixe par l'état du bit D18 du registre de contrôle (480000H).

CODE ADRESS MODIFIER	FC2	FC1	AMUSER	OPERATION	AM [5 ... 0]	
SHORT A16	0	x	1	USER ACCES	29] VIC en mode BLOCK
	1	x	1	SUPER ACCES	2D	
STANDARD A24	0	0	1	USER DATA	39	
	0	1	1	USER PROGRAM	3A	
	1	0	1	SUPER DATA	3D	
	1	1	1	SUPER PROGRAM	3E	
	0	x	1	USER BLOCK	3B	
	1	x	1	SUPER USER BLOCK	3F	
PROGRAMMABLE			0		Registre adresse MODIFIER	

B.12.4. DEADLOCK

On est en situation de deadlock lorsqu'une carte **VME** maître, ayant déjà obtenu accès au bus **VME**, essaie d'accéder aux ressources de la carte **UCV 683** alors que celle-ci essaie d'accéder au bus **VME**. On gère cette situation en programmant le VIC de façon à ce qu'il active les signaux LBERR et HALT du microprocesseur pour que celui-ci exécute un cycle dit "Retry".

Dans le cas d'un cycle indivisible TAS, CAS et CAS2 du microprocesseur local vers le **VME**, celui-ci reçoit un **BUS ERROR** qui doit être traité de façon "logicielle" en utilisant les registres du VIC.

B.12.5. WRITE POSTING

Le "WRITE POSTING" est une méthode qui peut être utilisée par le VIC068 pour augmenter les performances du système. Il permet d'écourter les cycles du processeur utilisant le bus **VME**. Le VIC068 se charge de terminer le cycle.

Cependant, cette méthode est fortement déconseillée pour les systèmes temps réel ou les systèmes de contrôle car :

- Le processeur ignore quand l'écriture a effectivement lieu, si elle a lieu (erreur bus),
- L'interruption peut précéder l'écriture des informations la concernant.

B.12.6. TRANSFERT PAR BLOC

On peut améliorer les performances de la carte **UCV 683** en utilisant le DMA sur le bus local et les transferts par bloc sur le VME.

Le VIC est équipé d'un registre 16 bits (Transfer Length Register) permettant de définir la longueur d'un bloc et d'un registre 8 bits (Burst Length Register) définissant la longueur d'un transfert (burst) sans relâcher le bus.

La carte **UCV683** respecte le "NO DUAL PATH/NO BOUNDARY CROSSING" ceci impliquant :

- Compte pair dans le Transfer Length Register et inférieur à 128 octets,
- transfert sur 16 bits,
- pas d'overflow (transfert par page de 64 mots max),
- longueur d'un burst compris entre 2 et 64 cycles.

B.12.7. ACCES DU VME

Le VIC 068 gère les accès du VME vers ses registres de communications (IRCs, ICGs et ICMS) ainsi que vers de la mémoire partagée sur la carte (RAM et PROM).

B.12.7.1. MEMOIRE PARTAGEE

La mémoire locale de la carte **UCV 683** est accessible du **VME** en accès standard 8 ou 16 bits. L'adresse de base de la carte **UCV 683** est donnée par les signaux SEL0 et SEL1 et sélectionnée par le signal SLSEL0 pour la ram locale.

La mémoire partagée supporte le Mode BLOC TRANSFERT et le SLAVE WRITE POSTING.

Si la carte **UCV 683** effectue un accès à son propre espace mémoire sur le bus VME, un "bus error" local et VME est généré. Deux bits du registre BESR du VIC indiquent qu'il s'agit d'un "SELF ACCES". Cette fonctionnalité peut être utilisée pour déterminer l'adresse réelle de la carte **UCV 683** sur le bus VME.

B.12.7.2. COMMUNICATIONS INTERPROCESSEURS

Les registres de communications interprocesseurs sont accessibles en SHORT I/O depuis le bus **VME**. A la mise sous tension et lorsque SEL0 = SEL1 = 1 seul l'espace ICGS est accessible.

// existe 3 types de registres :

- ICR [0...7] : Interprocessor Communication Registers
- ICMS [0...3] : Interprocessor Communication Module Switchs
- ICGS [0...3] : Interprocessor Communication Global Switchs

	ICR	ICMS	ICGS
A15	0	0	0
A14	0	0	1
A13	0	0	0
A12	SEL1	SEL1	0
A11	SEL0	SEL0	0
A10	x	x	x
A09	x	x	x
A08	x	x	x
A07	x	x	x
A06	x	x	x
A05	0	1	0
A04	0	0	1
A03	A3	0	0
A02	A2	A2	A2
A01	A1	A1	A1

Les registres ICR sont accessibles à l'adresse VME en SHORT IO par les cartes présentes sur le bus mais aussi par la carte elle même.

	LOCAL	VME	REGISTRES
ICR0	E00063	XX01	Registre 8 bits
ICR1	E00067	XX03	
ICR2	E0006B	XX05	Usage général
ICR3	E0006F	XX07	
ICR4	E00073	XX09	Version VIC
ICR5	E00077	XX0B	
ICR6	E0007B	XX0D	Status
ICR7	E0007F	XX0F	Status

XX = 00, 08, 10 ou 18.

Le registre de status ICR6 permet d'obtenir l'état des signaux IRESET, HALT et ACFAIL.

Le registre de status ICR7 permet de situer le contrôleur de bus, de gérer les accès aux registres ICR0-ICR4 ainsi que d'émuler la carte (SYSFAIL/HALT-RESET).

	LOCAL	VME
Clear ICGS0	E0005F	4010
Set ICGS0	E0005F	4011
Clear ICGS1	E0005F	4012
Set ICGS1	E0005F	4013
Clear ICGS2	E0005F	4014
Set ICGS2	E0005F	4015
Clear ICGS3	E0005F	4016
Set ICGS3	E0005F	4017

B.13. INTERRUPTIONS

B.13.1. INTERRUPTIONS LOCALES

Les interruptions sont totalement gérées par le VIC qui permet de fixer le niveau et le vecteur pour chacune des sources.

TABLEAU DES PRIORITES

PLUS HAUTE PRIORITE	Local interrupt 7
	Error group interrupts
	Local interrupts 6
	Local interrupts 5
	Local interrupts 4
	Local interrupts 3
	Local interrupts 2
	Local interrupts 1
	ICGS Group interrupt (Global mailboxes)
	ICGS Group interrupt (Individual mailboxes)
	VME interrupt 7
	VME interrupt 6
	VME interrupt 5
	VME interrupt 4
	VME interrupt 3
	VME interrupt 2
	VME interrupt 1
PLUS BASSE PRIORITE	VME interrupter interrupt

- **Remarque** : Il est déconseillé d'intervenir sur le registre de contrôle d'une interruption démasquée.

Le VIC permet de :

- Redistribuer les niveaux.
- Fixer le Mode (interruption vectorisée par le VIC ou autovectorisée)

	Contrôle	Vecteur	Source
Interruption ICGS0	E00043	E0004F+0	
Interruption ICGS1	E00043	E0004F+1	
Interruption ICGS2	E00043	E0004F+2	
Interruption ICGS3	E00043	E0004F+3	
Interruption ICMS0	E00047	E00053+0	
Interruption ICMS1	E00047	E00053+1	
Interruption ICMS2	E00047	E00053+2	
Interruption ICMS3	E00047	E00053+3	
It locale niveau 1	E00027	E00057+1	IT1 des LMC
It locale niveau 2	E0002B	E00057+2	IT0 des LMC ou IT Périodique VIC
It locale niveau 3	E0002F	E00057+3	ETHERNET
It locale niveau 4	E00033	E00057+4	85C30
It locale niveau 5	E00037	E00057+5	TIMER2 du 82C54
It locale niveau 6	E0003B	E00057+6	HORLOGE
It locale niveau 7	E0003F	E00057+7	DOG ou TIMER3 du 82C54
It ACFAIL	E0004B	E0005B+0	
It Write POST fail	E0004B	E0005B+1	
Arbitration timeout	E0004B	E0005B+2	
SYSFAIL	E0004B	E0005B+3	
Acknowledge it VME	E00003	E0005B+4	
DMA interrupt	E00023	E0005B+5	
It du VME niveau 1	E00007	VME	
It du VME niveau 2	E0000B	VME	
It du VME niveau 3	E0000F	VME	
It du VME niveau 4	E00013	VME	
It du VME niveau 5	E00017	VME	
It du VME niveau 6	E0001B	VME	
It du VME niveau 7	E0001F	VME	

Le VIC 68 fournit une interruption périodique sur LIRQ2 qui peut être rebouclé sur n'importe quel niveau en interne.

Le vecteur fourni par l'interruption du 85C30 est donné par le VIC.

Le VIC gère les 7 niveaux d'interruptions du **VME** en mode vectorisé (leurs niveaux peuvent être reprogrammés). Le VIC fournit un registre de status pour ces interruptions.

B.13.2. INTERRUPTION VERS LE VME

Le VIC 068 peut émettre une interruption sur le bus **VME** sur 7 niveaux.

	Contrôle	Vecteur
It vers VME niveau 1	E00083	E00087
It vers VME niveau 2	E00083	E0008B
It vers VME niveau 3	E00083	E0008F
It vers VME niveau 4	E00083	E00093
It vers VME niveau 5	E00083	E00097
It vers VME niveau 6	E00083	E0009B
It vers VME niveau 7	E00083	E0009F

Le microprocesseur local peut être prévenu lorsque l'interruption est acquittée.

B.14. INITIALISATION

B.14.1. CIRCUIT D'INITIALISATION

La carte **UCV 683** peut être initialisée de 4 manières différentes.

- Par le bus VME (SYSRESET)
- Par le signal RESET-5V à la mise sous tension ou pour une tension inférieure à 4,4V.
- Par la chute du chien de garde.
- Par l'instruction "RESET" du 68020.

RESET	CONTROLEUR	NON-CONTROLEUR
SYSRESET Mise sous tension	RESET INTERNE (Global RESET) RESET INTERNE EMET SYSRESET	RESET INTERNE (Global RESET) RESET INTERNE
RESET 68020 Chien de garde	RESET PERIPHERIQUES RESET INTERNE EMET SYSRESET	RESET PERIPHERIQUES HALT

Le signal SYSRESET, issu du bus **VME**, possède un dispositif de filtrage permettant d'éliminer les parasites inférieurs à 270ns.

Le VIC subit un global reset uniquement à la mise sous tension. Le signal SYSFAIL est automatiquement actif à la suite d'un RESET ou d'un HALT.

B.14.2. PROTECTION PERTE D'ALIMENTATION

Une détection de perte d'alimentation permet d'éviter les effets des cycles erronés du microprocesseur pendant la perte d'alimentation principale pour les RAMS sauvegardées.

Lorsque l'alimentation principale chute, le signal RESET-5V devient actif à 4,4V.

Le signal ACFAIL issu de l'alimentation du bus VME possède un dispositif de filtrage permettant d'éliminer les parasites inférieurs à 270ns.

Une détection de perte d'alimentation permet un blocage des accès à la RAM. Cette méthode permet d'éviter les effets des cycles erronés du microprocesseur pendant la perte d'alimentation principale.

C. MISE EN OEUVRE

Ce chapitre décrit les straps de la carte **UCV 683**, les leds ainsi que la définition des connecteurs .

C.1. STRAPS

W1 : Mode de fonctionnement : OFF : Normal
ON : Test

W2 : Carte Contrôleur VME : ON
Carte non contrôleur : OFF

C.2. CAVALIERS

(Configuration matérielle)

RAM LOCALE

Type de mémoire	capacité	W5 B-C	W5 A-B
128 K x 8	512K.octets	0Ω	OFF
512K x 8	2M.octets	OFF	0Ω

C.3. LEDS

La carte **UCV 683** comporte 4 leds pour traduire l'état de fonctionnement.

- Led **ACCES VME (DS1)** (Led rouge)

Allumée : Led accès RAM locale depuis le VME.

Eteinte : La RAM locale n'est pas accessible du VME
SEL1 = 1 et SEL0 = 1 dans le registre de contrôle

- Led **CTL (DS2)** (led verte)

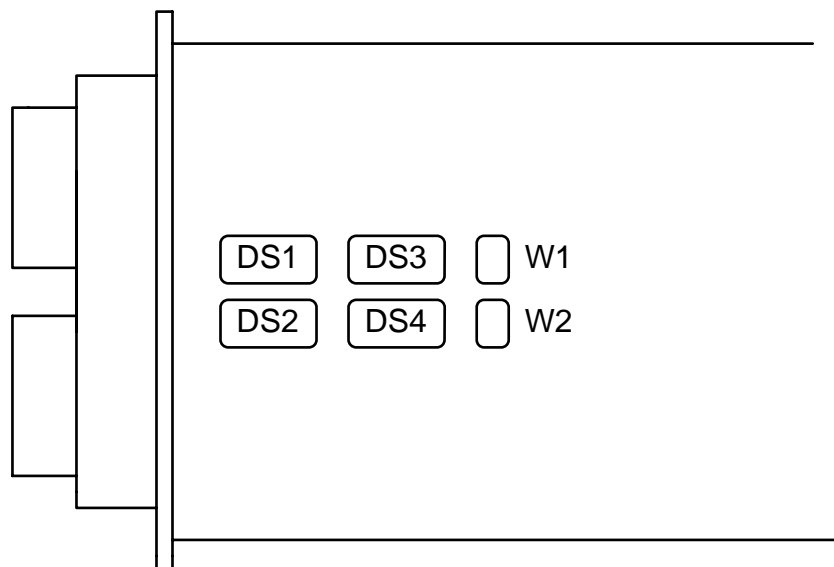
= La carte **UCV 683** est contrôleur de bus.

- Led **RUN (DS3)** (Led verte)

= la carte **UCV 683** est en fonctionnement normal.

- Led **DMA (DS4)** (Led verte)

= le bus local est utilisé en mode DMA par le VIC ou le 82596DX (ou par une ressource VME externe en mode *TEST*).



C.4. CONNECTIQUE

La carte **UCV 683** communique avec le monde extérieur par l'intermédiaire de connecteurs utilisateurs.

4

- ◆ **Connecteur P1** : 96 points, type DIN 41612, mâle.

Ce connecteur est réservé au bus VME

- ◆ **Connecteur P2** : 80 points, type DMC-M 4 inserts.

Ce connecteur en face AVANT permet d'accéder aux lignes séries RS422 et RS232, au port d'entrées/sorties, aux lignes AUI d'ETHERNET et aux lignes dédiées aux modules LMC.

- ◆ **Connecteurs J1 et J2** : 80 points.

Ces connecteurs d'extension autorisent le montage de modules LMC.

C.4.1. ASSIGNATION DES BROCHES POUR LE CONNECTEUR P1 C96

N°	BROCHES A	BROCHES B	BROCHES C
1	D00	BBSY*	D08
2	D01	BCLR*	D09
3	D02	ACFAIL*	D10
4	D03	BG0IN*	D11
5	D04	BG0OUT*	D12
6	D05	BG1IN*	D13
7	D06	BG1OUT*	D14
8	D07	BG2IN*	D15
9	GND	BG2OUT*	GND
10	SYSCLK	BG3IN*	SYSFAIL*
11	GND	BG3OUT*	BERR*
12	DS1*	BR0*	SYSRESET*
13	DS0*	BR1*	LWORD*
14	WRITE*	BR2*	AM5
15	GND	BR3*	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	AM2	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKIN*		A17
22	IACKOUT*		A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	- 12 VDC	+ 5V STBY	+ 12 VDC
32	+ 5 VDC	+ 5 VDC	+ 5 VDC

C.4.2. ASSIGNATION DES BROCHES POUR LE CONNECTEUR P2

Sur la carte **UCV 683** les modules LMC communiquent avec le monde extérieur par l'intermédiaire de deux coquilles 20 points prises sur le connecteur de face AVANT 80 points.

COQUILLE A (LMC1)

1	J1-3	2	J1-5	3	J1-1	4	J1-7	5	J1-9
6	J1-11	7	J1-13	8	J1-15	9	J1-17	10	J1-19
11	J1-4	12	J1-6	13	J1-8	14	J1-10	15	J1-12
16	J1-14-	17	J1-16	18	J1-2	19	J1-18	20	J1-20

COQUILLE B (LMC2)

1	J2-3	2	J2-5	3	J2-1	4	J2-7	5	J2-9
6	J2-11	7	J2-13	8	J2-15	9	J2-17	10	J2-19
11	J2-4	12	J2-6	13	J2-8	14	J2-10	15	J2-12
16	J2-14-	17	J2-16	18	J2-2	19	J2-18	20	J2-20

COQUILLE C

1	OUT0	2	OUT1	3	0V	4	OUT2	5	OUT3
6	IN0	7	IN1	8	IN7+	9	IN2	10	IN3
11	CTSB	12	RXB	13	IN7-	14	RTSB	15	TXB
16	CTSA	17	RXA	18	0V	19	RTSA	20	TXA

COQUILLE D

1	OUT4	2	OUT5	3	0V	4	OUT6	5	OUT7
6	IN4	7	IN5	8	OUT7+	9	IN6	10	IN7
11	CLSN-	12	CLSN-	13	OUT7-	14	12V	15	0V
16	TRMT+	17	TRMT-	18	0V	19	RCV-	20	RCV+

C.4.3. ASSIGNATION DES BROCHES POUR LES CONNECTEURS J1 et J2

La carte **UCV 683** possède deux connecteurs SAMTEC 80 points micro strips femelles (Réf. SFM-140-02-S-D).

☐ CONNECTEUR J1

1	P2.A3	2	P2-A13
3	P2-A1	4	P2-A11
5	P2-A2	6	P2-A12
7	P2-A4	8	P2-A14
9	P2-A5	10	P2-A15
11	P2-A6	12	P2-A16
13	P2-A7	14	P2-A17
15	P2-A8	16	P2-A18
17	P2-A9	18	P2-A19
19	P2-A10	20	P2-A20
21	0V	22	5V
23	CSLMC1/	24	A10
25	A20	26	A9
27	A19	28	A8
29	A18	30	A7
31	A17	32	A6
33	A16	34	A5
35	A15	36	A4
37	A14	38	A3
39	A13	40	A2
41	A12	42	A1
43	A11	44	A0
45	0V	46	5V
47	D00	48	D08
49	D01	50	D09
51	D02	52	D10
53	D03	54	D11
55	D04	56	D12
57	D05	58	D13
59	D06	60	D14
61	D07	62	D15
63	0V	64	5V
65	WRLMCU/	66	WRLMCL/
67	DSACK0/	68	DSACK1/
69	ITLMC0/	70	ITLMC1/
71	LMCIO	72	RDLMC/
73		74	DIRLMC
75	CLKLMC	76	RESETLMC/
77	0V	78	5VSTDBY
79	- 15V	80	+ 15V

□ CONNECTEUR J2

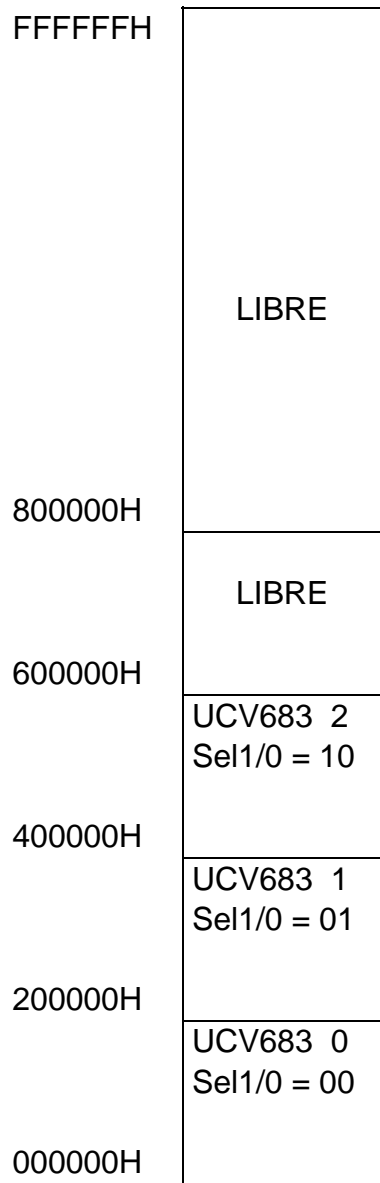
1	P2.B3	2	P2-B13
3	P2-B1	4	P2-B11
5	P2-B2	6	P2-B12
7	P2-B4	8	P2-B14
9	P2-B5	10	P2-B15
11	P2-B6	12	P2-B16
13	P2-B7	14	P2-B17
15	P2-B8	16	P2-B18
17	P2-B9	18	P2-B19
19	P2-B10	20	P2-B20
21	0V	22	5V
23	CSLMC2/	24	A10
25	A20	26	A9
27	A19	28	A8
29	A18	30	A7
31	A17	32	A6
33	A16	34	A5
35	A15	36	A4
37	A14	38	A3
39	A13	40	A2
41	A12	42	A1
43	A11	44	A0
45	0V	46	5V
47	D00	48	D08
49	D01	50	D09
51	D02	52	D10
53	D03	54	D11
55	D04	56	D12
57	D05	58	D13
59	D06	60	D14
61	D07	62	D15
63	0V	64	5V
65	WRLMCU/	66	WRLMCL/
67	DSACK0/	68	DSACK1/
69	ITLMC0/	70	ITLMC1/
71	LMCIO	72	RDLMC/
73		74	DIRLMC
75	CLKLMC	76	RESETLMC/
77	0V	78	5VSTDBY
79	- 15V	80	+ 15V

C.5. PLAN MEMOIRE RESSOURCES

C.5.1. PLAN MEMOIRE DES RESSOURCES CARTE UT68040DE VUE EN INTERNE

FFFFFFFFH		
01FFFFFFFFH		Redondance
01000000H	Ressource 16 bits Accès en 8, 16 et 32 bits	Espace VME A24
00F00000H	Ressource 32 bits Accès en 8, 16 et 32 bits	Mémoire FLASH
00E80000H	Short I/O Ressource 16 bits Accès en 8, 16 et 32 bits	VME adressage court A16 D16
00E00000H	Ressource 32 bits Accès en 8 et 32 bits	Registres VIC 068
00C00000H	Ressource 16 bits Accès en 8, 16 et 32 bits	Local Micro Canal 2
00A00000H	Ressource 16 bits Accès en 8, 16 et 32 bits	Local Micro Canal 1
00980000H	Ressource 16 bits Accès en 8, 16 et 32 bits	Espace IO Local Micro Canal 2
00900000H	Ressource 16 bits Accès en 8, 16 et 32 bits	Espace IO Local Micro Canal 1
00800000H	Ressource 8 bits Accès en 8, 16 et 32 bits	Timers du 82C54
00700000H	Ressource 16 bits Accès en 8, 16 et 32 bits	FLASH de BOOT et autotest
00600000H	Ressource 8 bits Accès en 8, 16 et 32 bits	HORLOGE CALENDRAIRE
00500000H	Ressource 8 bits Accès en 8, 16 et 32 bits	Port série 85C30
00480000H	Ressource 32 bits Accès en 8, 16 et 32 bits	Entrées/sorties TOR
00300000H	Ressource 32 bits Accès en 8, 16 et 32 bits	Chien de garde
00400000H	Ressource 32 bits Accès en 8, 16 et 32 bits	Ethernet PORT
00200000H	Ressource 32 bits Accès en 8, 16 et 32 bits	Ethernet CA
00000000H	Ressource 32 bits Accès en 8, 16 et 32 bits	Mémoire locale extensible jusqu'à 2Mo

C.5.2. PLAN MEMOIRE ESPACE VME STANDARD



C.5.3. PLAN MEMOIRE ESPACE VME SHORT IO

FFFFH	
8000H	
6000H	
4800H	
	UCV683 x
	ICGSx
4000H	XX
2000H	
1800H	
	UCV6832
1000H	10
	UCV6831
0800H	01
	UCV6830
0000H	00

D. PLANS D'EQUIPEMENT

E. DOCUMENTATION ANNEXE