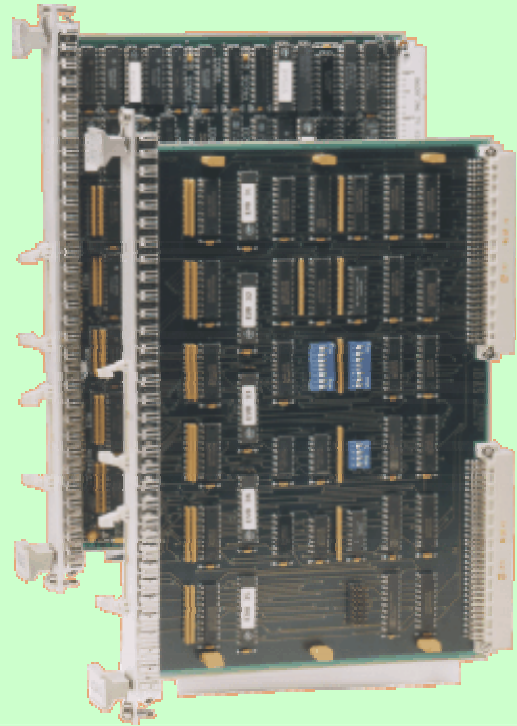


Features

- ✓ Interface between VME bus and 1 to 4 VME buses
Interface entre un bus VME et de 1 à 4 bus VME
- ✓ Window of 64Kb to 2Mb in the 4G.bytes
Fenêtre de 64Ko à 2Mo dans les 4G.octets
- ✓ Decoding A32/D32 "receiver" board
Decoding A24/D16 "emitter" board
- ✓ Transfers in 8, 16 or 32 bits
- ✓ Transfer rate 1M. Words/s
- ✓ "Master" or "Slave" VME board
Carte VME "MAITRE" ou "ESCLAVE"
- ✓ Vectored interrupts management
Gestion des interruptions vectorisées
- ✓ Possibility of software trace
Possibilité de trace logicielle
- ✓ VME-ANSI/IEEE 1014 standard Rév D



Description

This gateway has been designed to ensure the dialogue between physically separated equipment complying with the **VME** standard.

The boards situated in the **VME** "receiver" rack are seen to be resident boards by "emitter" rack.

Total control of the **VME** authorises the use of the gateway alone or together with other CPU boards in the "receiver" rack(s).

The interface comprises two sections:

- ◆ A board which is inserted in the **VME** "emitter" rack
- ◆ A board which is inserted in the **VME** "receiver" rack

Connection is by 2 ribbon cables 50 pins. The **VME** "emitter" can select from 1 to 4 **VME** " receiver" racks

*Cette passerelle a été étudiée pour assurer le dialogue entre des équipements au standard **VME** physiquement séparés.*

*Les cartes situées dans le (ou les) châssis **VME** "récepteur" sont vues comme résidentes par le châssis "émetteur".*

*La gestion complète du **VME** autorise l'utilisation de la passerelle seule ou avec d'autres cartes CPUs dans le (ou les) châssis "récepteur".*

L'interface est composée de deux parties :

- ◆ Une carte venant s'insérer dans le châssis **VME** "émetteur",
- ◆ Une carte venant s'insérer dans le (ou les) châssis **VME** "récepteur"

*La liaison s'effectue par deux micro-nappes de 50 pts. Un "émetteur" **VME** peut sélectionner de 1 à 4 châssis "récepteur" **VME**.*

PVV 800

SPECIFICATIONS

(t = 25°C)

TYPE	VME / VME GATEWAY
VME EMITTER <ul style="list-style-type: none">- Type- Configuration- Decoded space- Exchange window- Decoded space in memory- VME exchanges	Slave board In the VME SHORT I/O space 16 bytes 2M.bytes in the memory space of the VME "emitter" A24 standard 8 or 16 bits
VME RECEIVER <ul style="list-style-type: none">- Standard- Decoding- Exchange window- Modified addresses- Bus clock- Transfers- Bus arbitration- Mode- Interrupt to VME "emitter" (IT utilities)- Interruptions- IT generation	VME-ANSI/IEEE STD 1014 A32/D32 64Kb to 2Mb in VME "receiver" memory space Yes 16MHz 8, 16 or 32 bits (2 16-bit exchanges) 4 priority levels RWD (release after each exchange) ACFAIL, SYSFAIL, Bus error, Timeout, Trace, IT emission acknowledge Control of 7 vectored interrupt levels to an "emitter" IT level Generation of a vectored interrupt on one of the 7 levels of the VME bus
EXCHANGES <ul style="list-style-type: none">- Transfers- Speed- Communication supports- Maximum cable length- Couplers	8, 16 or 32 bits 1M. words/s (2M.bytes) 2 adapted 50 pin ribbon cables (1.5m) 15m One "emitter" board can manage 4 VME "receiver" buses.
PRESENTATION <ul style="list-style-type: none">- VME board	Double EUROPE Format (233.35 x 160 x 20.32)
CONSUMPTION <ul style="list-style-type: none">- EV- RV	5V / 1A 5V / 3.5A
ENVIRONMENT <ul style="list-style-type: none">- Operating temperature- Storage temperature- Relative humidity	0°C to + 60°C - 10°C to + 70°C 90 % (without condensation)

HOW TO ORDER?

PVV 800

KIT COMPRISING:

1 **VME** "emitter" board Ref. : EV800
1 **VME** "receiver" board Ref. : RV800

Ribbon WR 310/XXX ⇒ Order separately

Length (in mm) of the ribbon

NOTES :

PVV 800

Kit comprising a "TRANSMITTER" board ref. : EV800
a "RECEIVER" board ref. : RV800

CONTENTS SOMMAIRE

A. GENERAL DESCRIPTION	4
<i>DESCRIPTION GENERALE</i>	4
A.2. EXCHANGE PRINCIPLE	5
<i>PRINCIPE D'ECHANGE</i>	5
B. GENERAL CHARACTERISTICS	6
<i>CARACTERISTIQUES GENERALES</i>	6
B.1. "RECEIVER" VME PART	6
<i>PARTIE VME "RECEPTEUR"</i>	6
B.2. "TRANSMITTER" VME PART	6
<i>PARTIE VME "EMETTEUR"</i>	6
B.3. USE	7
<i>UTILISATION</i>	7
B.3.1. DEFINITION OF REGISTERS IN THE "TRANSMITTER" VME SHORT I/O SPACE	7
<i>DEFINITION DES REGISTRES DANS L'ESPACE SHORT I/O DU VME « EMETTEUR »</i>	7
B.3.2. CONFIGURATION OF REGISTERS IN THE SHORT I/O SPACE	9
<i>CONFIGURATION DES REGISTRES DANS L'ESPACE SHORT I/O</i>	9
B.3.3. STRAPS, SWITCHES AND LEDS	21
<i>STRAPS, SWITCHS ET LEDS</i>	21
C. APPENDIX	23
<i>ANNEXE</i>	23
D. DIAGRAMS	25
<i>PLANS</i>	25
D.1. EQUIPMENT LAYOUT VME TRANSMITTER BOARD	25
<i>PLAN D'EQUIPEMENT DE LA CARTE "EMETTEUR" VME</i>	25
D.2. EQUIPMENT LAYOUT VME RECEIVER BOARD	25
<i>PLAN D'EQUIPEMENT DE LA CARTE "RECEPTEUR" VME</i>	25

A. GENERAL DESCRIPTION

DESCRIPTION GENERALE

A.1. EXCHANGE PRINCIPLE

PRINCIPE D'ECHANGE

The VME/VME interface comprises 2 parts :

- ◆ A board inserted in a slot of the "TRANSMITTER" VME rack **EV800**. This slave board generates the signals necessary for exchanges between the "TRANSMITTER" bus VME board and the "RECEIVER" bus VME board.

- ◆ A second board which is inserted in a slot of the "RECEIVER" VME rack **RV800** :
 - Slot 1 if the **VME/VME** interface is to be the bus controller,
 - Any slot if the **VME/VME** interface is a multiprocessor slave board.

- ◆ Connection between the two boards is by means of 2 customized ribbon cables, 50-pins, 1.5 metres long.

This **VME/VME** bridge enables access to the whole "RECEIVER" VME bus space i.e. 4 G.bytes in 8, 16 or 32 bits (2 consecutive 16-bit accesses of the "TRANSMITTER" VME).

L'interface VME/VME se compose de 2 parties :

- ◆ Une carte venant s'insérer dans un slot du châssis VME "**EMETTEUR**" **EV800**
Cette carte esclave génère les signaux nécessaires aux échanges entre la carte VME bus "**EMETTEUR**" et la carte VME bus "**RECEPTEUR**".

- ◆ Une deuxième carte qui s'insère dans un slot du châssis VME "**RECEPTEUR**" **RV800** :
 - Le slot 1 si l'on souhaite que l'interface **VME/VME** soit contrôleur de bus,
 - N'importe quel slot si l'interface **VME/VME** est une carte esclave en multiprocesseur.

- ◆ La liaison entre les deux cartes est assurée par 2 micronappes adaptées, 50 points, de 1,5 mètres de long.

Cette passerelle **VME/VME** permet d'accéder à tout l'espace du bus VME "**RECEPTEUR**" soit 4G.octets en 8, 16 ou 32 bits (2 accès 16 bits consécutifs du VME « **EMETTEUR** »).

A.2. EXCHANGE PRINCIPLE

PRINCIPE D'ECHANGE

Seen from the "TRANSMITTER" VME, the "RECEIVER" VME bus represents :

A window of 64 K.bytes to 2 M.bytes in modulo 2^n .

The high addresses A31-A21 of the "RECEIVER" VME space are generated in a register followed by the intermediate addresses : A20 to A16, depending on the width of the windows chosen. It is then possible to move within the 4 G.bytes of "RECEIVER" VME space.

The "TRANSMITTER" VME Short I/O space is used for programming the various VME/VME interface registers, which enables the window chosen in the "TRANSMITTER" VME memory space to be used to the full.

Vu du VME "EMETTEUR", le bus VME "RECEPTEUR" représente :

Une fenêtre de 64 K.octets à 2 M.octets en modulo 2^n .

On génère les adresses hautes A31-A21 de l'espace VME "RECEPTEUR" dans un registre puis les adresses intermédiaires : A20 à A16, en fonction de la largeur des fenêtres choisies. Il est alors possible de se déplacer dans les 4G.octets de l'espace VME "RECEPTEUR".

L'espace Short I/O du VME "EMETTEUR" sert à la programmation des divers registres de l'interface VME/VME, ce qui permet d'utiliser pleinement la fenêtre choisie dans l'espace mémoire du VME "EMETTEUR".

B. GENERAL CHARACTERISTICS

CARACTERISTIQUES GENERALES

B.1. "RECEIVER" VME PART

PARTIE VME "RECEPTEUR"

- ◆ VME A32/D32 bus controller board ;
 - ◆ Vectored interrupt generated to the VME ;
 - ◆ Management of 7 "RECEIVER" VME interrupt levels to one "TRANSMITTER" VME level ;
 - ◆ VME bus arbitrator with 4 priority levels ;
 - ◆ Sending of a utility interrupt to the "TRANSMITTER" VME on ACFAIL, SYSFAIL, BUS ERROR, TIMEOUT, TRACE address, sent interrupt acknowledge ;
 - ◆ VME interface fully programmable in "TRANSMITTER" VME short I/O space ;
 - ◆ Access to "RECEIVER" VME :
 - by window of 64, 128, 256, 512K.bytes and 1 and 2M.bytes.
- ◆ Carte contrôleur de bus VME A32 / D32 ;
 - ◆ Génération d'une interruption vectorisée vers VME ;
 - ◆ Gestion de 7 niveaux d'interruption VME "RECEPTEUR" vers un niveau VME "EMETTEUR" ;
 - ◆ Arbitre de bus VME à 4 niveaux de priorité ;
 - ◆ Emission d'une interruption utilitaire vers le VME "EMETTEUR" sur ACFAIL, SYSFAIL, BUS ERREUR, TIMEOUT, adresse TRACE, interruption émise acquittée ;
 - ◆ Interface VME entièrement programmable dans l'espace short I/O du VME "EMETTEUR" ;
 - ◆ Accès au VME "RECEPTEUR" :
 - par fenêtre de 64, 128, 256, 512K.octets et 1 et 2M.octets.

B.2. "TRANSMITTER" VME PART

PARTIE VME "EMETTEUR"

Seen from the "TRANSMITTER" VME, the VME/VME interface programming registers are in the short I/O space. The VME/VME interface occupies 16 bytes in this space.

The I/O registers respond only to the modified addresses 29H and 2DH.

The board is supplied configured at the addresses FFFF0000H in the short I/O space.

Memory exchanges take place in the standard A24/D16 space.

The "TRANSMITTER" VME part responds only to the modified addresses 39H and 3DH.

Vu du VME "EMETTEUR", les registres de programmation de l'interface VME/VME se trouvent dans l'espace short I/O. L'interface VME/VME occupe 16 octets dans cet espace.

Les registres I/O répondent uniquement aux adresses modifiées 29H et 2DH.

La carte est livrée configurée aux adresses FFFF0000H dans l'espace short I/O.

Les échanges mémoires se font dans l'espace standard A24/D16.

La partie VME "EMETTEUR" ne répond qu'aux adresses modifiées 39H et 3DH.

B.3. USE *UTILISATION*

B.3.1. DEFINITION OF REGISTERS IN THE "TRANSMITTER" VME SHORT I/O SPACE

DEFINITION DES REGISTRES DANS L'ESPACE SHORT I/O DU VME « EMETTEUR »

The "MASTER" board occupies 16 bytes in the "TRANSMITTER" VME short I/O space.

La carte "MAITRE" occupe 16 octets dans l'espace short I/O du VME "EMETTEUR".

The base address is configured by the switches ST1, ST2.

L'adresse de base est configurée par les switches ST1, ST2.

The registers are as follows :

Les registres sont les suivants :

BASE + 00H in write

Physical base address of the VME/VME interface window in the "TRANSMITTER" VME memory space (8/16 bits).

BASE + 00H en écriture

Adresse de base physique de la fenêtre de l'interface VME/VME dans l'espace mémoire du VME "EMETTEUR" (8/16 bits).

BASE + 00 and 01H in read

Interrupt received acknowledge register by IT level and vector read (8/16 bits).

BASE + 00 et 01H en lecture

Registre d'acquiescement d'interruption reçue par lecture du niveau de l'IT et du vecteur (8/16 bits).

BASE + 02 and 03H in write / read :

"RECEIVER" VME modified addresses
"RECEIVER" VME window size
"RECEIVER" VME intermediate addresses A20 to A16

BASE + 02 et 03H en écriture / lecture

*Adresses modifiées VME "RECEPTEUR".
Taille de la fenêtre VME "RECEPTEUR"
Adresses intermédiaires VME "RECEPTEUR" A20 à A16*

BASE + 04 and 05H in write / read

High addresses in "RECEIVER" VME space A31 ⇒ A21.

BASE + 04 et 05H en écriture / lecture

Adresses hautes dans l'espace VME "RECEPTEUR" A31 ⇒ A21.

BASE + 06 and 07H in write / read

"RECEIVER" VME interface status register

BASE + 06 et 07H en écriture / lecture

Registre d'état de l'interface VME "RECEPTEUR".

BASE + 08 and 09H in write / read :

Register of vector number and IT level to be sent to "RECEIVER" VME.

BASE + 08 et 09H en écriture / lecture :

Registre du numéro de vecteur et du niveau d'IT à émettre sur le VME "RECEPTEUR".

BASE + 0BH in write / read :

Control register linked with "TRANSMITTER" VME interface (in 8 bits)

BASE + 0BH en écriture / lecture :

Registre de contrôle lié à l'interface VME "EMETTEUR" (en 8 bits)

BASE + 0AH in write :

"RECEIVER" VME bus initialization
strobe SYSRESET send to
"RECEIVER" VME (8 bits)

BASE + 0AH in read :

Utility interrupts received register
acknowledge (8 bits).

BASE + 0CH to 0FH in write / read :

32-bit "TRACE" address on
"RECEIVER" VME

BASE + 0AH en écriture :

Strobe d'initialisation du bus VME
"RECEPTEUR" émission de SYSRESET sur le
VME "RECEPTEUR" (8 bits)

BASE + 0AH en lecture :

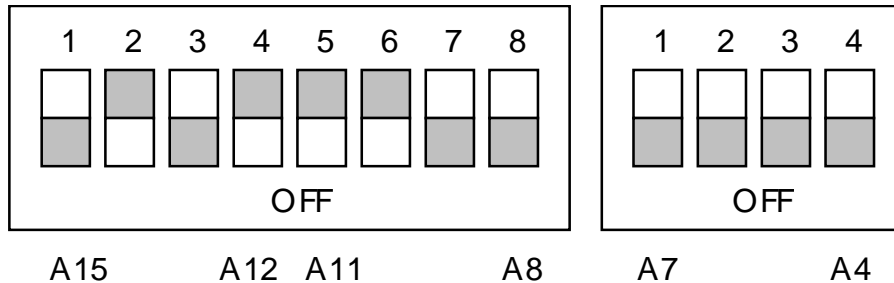
Acquittement du registre d'interruptions
utilitaires reçues (8 bits).

BASE + 0CH à 0FH en écriture / lecture :

Adresse "TRACE" 32 bits sur le VME
"RECEPTEUR".

B.3.2. CONFIGURATION OF REGISTERS IN THE SHORT I/O SPACE CONFIGURATION DES REGISTRES DANS L'ESPACE SHORT I/O

The "low" address is defined by ST1, ST2. *L'adresse "basse" est définie par ST1, ST2.*



An "ON" switch represents a zero.

Un switch "ON" représente un zéro.

The **VME/VME** bridge is supplied at the address FFFF000XH.

*La passerelle **VME/VME** est livrée à l'adresse FFFF000XH.*

ADDRESSES 00H, 01H - 8 and 16-BIT ACCESS

ADRESSES 00H, 01H - ACCES EN 8 ET 16 BITS

◆ IN WRITE

These addresses correspond to the base address in the "TRANSMITTER" VME memory space for the bits AD23 to AD21. The VME transmitter decodes in all cases 2M.bytes.

◆ EN ECRITURE

Ces adresses correspondent à l'adresse de base dans l'espace mémoire VME "EMETTEUR" pour les poids AD23 à AD21. L'émetteur VME décode dans tous les cas 2M.octets.

D15	D14	D13	D12	...	D00
AD23	AD22	AD21	N.U.	...	N.U.

Example :

If a page of 128K.bytes positioned from 540000H to 55FFFFH on the "RECEIVER" VME is to be accessed, 40H must be written at base address + 0 which corresponds to a window from 400000H to 55FFFFH.

Si l'on souhaite accéder à une page de 128K.octets positionnée de 540000H à 55FFFFH sur le VME "RECEPTEUR", il faut écrire 40H à l'adresse de base + 0 qui correspond à une fenêtre de 400000H à 55FFFFH.

◆ **IN READ**

Interrupt received acknowledge.
Acquittement d'interruption reçue.

D7 to D0 : Number of vector sent by the "**RECEIVER**" VME board, source of the interrupt.
Numéro du vecteur émis par la carte VME "RECEPTEUR", source de l'interruption.

D15 to D8 : Interrupt level used by the "**RECEIVER**" VME board, source of the interrupt.
Niveau d'interruption utilisé par la carte VME "RECEPTEUR", source de l'interruption.

D15 corresponds to level 7,
D14 corresponds to level 6,
D13 corresponds to level 5,
D12 corresponds to level 4,
D11 corresponds to level 3,
D10 corresponds to level 2,
D9 corresponds to level 1,
D8 is always at 0.

Acknowledgement is only effective when the byte containing the level is read.

L'acquittement n'est effectif que lors de la lecture de l'octet contenant le niveau.

Another interrupt cannot be taken into account until the current one has been acknowledged.

Une autre interruption ne peut être prise en compte tant que celle en cours n'a pas été acquittée.

These registers are set to zero after each read, to avoid losing an interrupt.

Ces registres sont positionnés à zéro après chaque lecture, ceci afin d'éviter la perte d'une interruption.

ADDRESSES 02 H, 03 H - 8 and 16-BIT ACCESS

Modified **VME** addresses , **VME** window size, and intermediate **VME** addresses of the RECEIVER.

*Adresses modifiées **VME**, taille fenêtre **VME**, et adresses intermédiaires **VME** du récepteur.*

This register is accessible in write/read, the DATA corresponds to the following codes :

Ce registre est accessible en écriture/lecture, les DATAS correspondent aux codes suivants :

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
A20	A19	A18	A17	A16	P3	P2	P1			AM5	AM4	AM3	AM2	AM1	AM0
Intermediate VME addresses					VME size code			N.U.		Modified VME addresses					

⇒ **VERY IMPORTANT** *TRES IMPORTANT*

The intermediate addresses are the same in both racks.

Les adresses intermédiaires sont les mêmes dans les 2 châssis.

Writing of the modified address codes bit D0 to D5 must correspond to one of the cases of the table supplied in appendix based on **VME** interface standards.

*L'écriture des codes d'adresses modifiées bits D0 à D5, devra impérativement correspondre à un des cas de la table fournie en annexe provenant des normes de l'interface **VME**.*

The window size codes bit D8 to D10 are as follows :

Les codes de taille fenêtre bit D8 à D10 sont les suivants :

P3	P2	P1	WINDOW SIZE	
0	0	0	64 Kb	The intermediate addresses are not used in the cases where they are involved in the window size. <i>Les adresses intermédiaires ne sont pas utilisées dans les cas où elles interviennent dans la taille de la fenêtre.</i>
0	0	1	128 Kb	
0	1	0	256 Kb	
0	1	1	512 Kb	
1	0	0	1 Mb	
1	0	1	2 Mb	
1	1	0	2 Mb	
1	1	1	2 Mb	

S1.3 of the "**RECEIVER**" **VME** board must be « ON »

S1.3 de la carte VME "RECEPTEUR" doit être « ON »

Example :

If a **VME** space of 128K.bytes is to be accessed, bits A20 ⇒ A17 of the intermediate addresses will be taken into account.

If you want to be at 540000H on the "RECEIVER" side, bits A20 to A17 of register 02H must be written,

$$A20 = 1 \quad A19 = 0 \quad A18 = 1 \quad A17 = 0 \quad A16 = X$$

I.e. A1H for example, and only perform accesses in this window on the TRANSMITTER side.

*Si l'on souhaite accéder à un espace **VME** de 128 K.octets, les bits A20 ⇒ A17 des adresses intermédiaires seront prises en compte.*

Il faut donc écrire, si l'on souhaite être en 540000H du côté "RECEPTEUR", les bits A20 à A17 du registre 02H,

Soit A1H par exemple, et ne faire des accès que dans cette fenêtre côté émetteur.

ADDRESSES 04H and 05H - 8 AND 16-BIT ACCESS

These addresses correspond to the **VME** high address registers.

The registers : Base + 04H, Base + 05H, are used to store respectively the addresses A21 to A31 of the space chosen.

*Ces adresses correspondent aux registres des adresses hautes **VME**.*

Les registres : Base + 04H, Base + 05H, servent à stocker respectivement les adresses A21 à A31 de l'espace choisi.

The DATA correspondence is as follows :
La correspondance des DATAS est la suivante :

D15 -----> D8	D7 -----> D5	D4 -----> D0
A31 -----> A24	A23 -----> A21	Not used

These registers are accessible in write and in read.

Ces registres sont accessibles en écriture et en lecture.

ADDRESSES 06H AND 07H - 8 AND 16-BIT ACCESS - STATUS REGISTER - VME INTERFACE

The registers : Base + 06H and Base + 07H are used to position the **VME/VME** bridge in different operating modes. They are accessible in write and in read.

Les registres : Base + 06H et Base + 07H servent à positionner la passerelle VME/VME dans différents modes de fonctionnement. Ils sont accessibles en écriture et en lecture.

Definitions of status register bits :

D15 = 0 : **"RECEIVER" VME error bus** not enabled to bridge
Bus erreur VME "RECEPTEUR" non autorisé vers passerelle

D15 = 1 : **"RECEIVER" VME error bus** enabled to bridge
Bus erreur VME "RECEPTEUR" autorisé vers passerelle

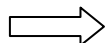
D14 = 0 : Timeout 64µs on non-response of a decoded **"RECEIVER" VME** space
Timeout 64µs lors de non réponse d'un espace VME "RECEPTEUR" décodé

D14 = 1 : No timeout
Pas de timeout

D13 : Don't care
Non significatif

D12 = 0 : The **VME/VME** bridge is a slave board on the **"RECEIVER" VME** bus as multiprocessor.
La passerelle VME/VME est une carte esclave sur le bus VME "RECEPTEUR" en multiprocesseur.

D12 = 1 : The **VME/VME** bridge is the bus controller and must be placed in slot 1 of the **"RECEIVER" VME**.
La passerelle VME/VME est le contrôleur du bus et elle doit être placée dans le slot 1 du châssis VME "RECEPTEUR".



This bit is by-passed by switch S1.4

D11 = 0 : **"RECEIVER" VME** access 8 or 16 bits
Accès VME "RECEPTEUR" 8 ou 16 bits

D11 = 1 : **"RECEIVER" VME** access 32 bits in modulo 4 only.
The address A1 is forced to zero.
*Accès VME "RECEPTEUR" 32 bits en modulo 4 uniquement.
L'adresse A1 est forcée à zéro.*

The bridge accesses the **"RECEIVER" VME** bus in 32 bits. Seen from the **"TRANSMITTER" VME**, access is performed in 2 cycles : write or read.

La passerelle accède au bus VME "RECEPTEUR" en 32 bits. Vu du VME "EMETTEUR", l'accès se fait en 2 cycles : écriture ou lecture.

◆ **WRITE**

The 1st bridge cycle stores the high bits.

Le 1er cycle passerelle stocke les poids forts.

The 2nd bridge cycle transfers the high bits and low bits to the "RECEIVER" VME bus.

Le 2ème cycle passerelle transfère les poids forts et les poids faibles vers le bus VME "RECEPTEUR".

◆ **READ**

The 1st bridge cycle accesses the "RECEIVER" VME bus and transfers the high bits.

Le 1er cycle passerelle accède au bus VME "RECEPTEUR" et transfère les poids forts.

The 2nd bridge cycle transfers the low bits.

Le 2ème cycle passerelle transfère les poids faibles.

D10 : Not used
Non utilisé

D9 - D8 : These 2 bits enable the priority level used by the **VME/VME** bridge to be chosen.

Ces 2 bits permettent de choisir le niveau de priorité utilisé par la passerelle VME/VME.

Bits	D9	D8	
Status	0	0	Priority level 0
Status	0	1	Priority level 1
Status	1	0	Priority level 2
Status	1	1	Priority level 3

D7 to D1 : Interrupt to bridge enable
Autorisation interruption vers passerelle

D0 = 1 : TRACE address validation
Validation de l'adresse TRACE

D7 = 1 : Interrupt level 7 enable
Autorisation interruption niveau 7

D7 = 0 : Level 7 masked
Niveau 7 masqué

D6 = 1 : Interrupt level 6 enable
Autorisation interruption niveau 6

D6 = 0 : Level 6 masked
Niveau 6 masqué

D5 = 1 : Interrupt level 5 enable
Autorisation interruption niveau 5

D5 = 0 : Level 5 masked
Niveau 5 masqué

- D4 = 1** : Interrupt level 4 enable
Autorisation interruption niveau 4
- D4 = 0** : Level 4 masked
Niveau 4 masqué
- D3 = 1** : Interrupt level 3 enable
Autorisation interruption niveau 3
- D3 = 0** : Level 3 masked
Niveau 3 masqué
- D2 = 1** : Interrupt level 2 enable
Autorisation interruption niveau 2
- D2 = 0** : Level 2 masked
Niveau 2 masqué
- D1 = 1** : Interrupt level 1 enable
Autorisation interruption niveau 1
- D1 = 0** : Level 1 masked
Niveau 1 masqué

The level used on sending on the "**RECEIVER**" **VME** must remain masked.

On power up, all the bits of this register are set to zero.

The **VME/VME** bridge is in the following state at power up :

- ◆ Error bus not enabled ;
- ◆ Timeout 64 s ;
- ◆ **VME/VME** bridge - Slave or Master board on "**RECEIVER**" **VME** bus (see S1.4);
- ◆ Access to "**RECEIVER**" **VME** in 8 or 16 bits ;
- ◆ **VME/VME** bridge at priority level 0 ;
- ◆ No interrupt enabled to **VME/VME** bridge from "**RECEIVER**" **VME** ;
- ◆ No "TRACE" address detection.

*Le niveau utilisé en émission sur le **VME "RECEPTEUR"** doit rester masqué.*

A la mise sous tension (MST), tous les bits de ce registre sont positionnés à zéro.

*La passerelle **VME/VME** se trouve dans l'état suivant à la mise sous tension :*

- ◆ *Bus erreur non autorisé ;*
- ◆ *Timeout de 64 s ;*
- ◆ *Passerelle **VME/VME** - Carte esclave ou Maître sur bus **VME "RECEPTEUR"** (dépend de S1.4) ;*
- ◆ *Accès vers **VME "RECEPTEUR"** en 8 ou 16 bits ;*
- ◆ *Passerelle **VME/VME** niveau de priorité 0 ;*
- ◆ *Aucune interruption autorisée ⇒ passerelle **VME/VME** depuis le **VME "RECEPTEUR"** ;*
- ◆ *Pas de détection de l'adresse "TRACE".*

ADDRESSES 08H AND 09H - 8 AND 16-BIT ACCESS

Sending of an interrupt from the "TRANSMITTER" VME to the "RECEIVER" VME.

Emission d'une interruption du VME "EMETTEUR" vers le VME "RECEPTEUR".

These addresses are used to store the vector, level (1 from 7 compulsory) and interrupt send enable.

Ces adresses servent à stocker le vecteur, le niveau (1 parmi 7 impératifs) et l'autorisation d'émission de l'interruption.

Definition of bits :

Bits D15 to D8 : Interrupt vector

Définition des bits :

Bits D15 à D8 : Vecteur d'interruption

IT level sent	D7	D6	D5	D4	D3	D2	D1
7	1	0	0	0	0	0	0
6	0	1	0	0	0	0	0
5	0	0	1	0	0	0	0
4	0	0	0	1	0	0	0
3	0	0	0	0	1	0	0
2	0	0	0	0	0	1	0
1	0	0	0	0	0	0	1
No IT sent	0	0	0	0	0	0	0

The byte :

D0 = 0 does not enable the interrupt
D0 = 1 enables sending of the IT

On power up, the bits D7 to D0 are at zero.

The IT is sent when 16-bit write of the register or 8-bit write of the selected level is performed :

If D0 = 1 (send enabled), the level used must be masked on receipt.

These registers are accessible for readback.

Le bit :

*D0 = 0 n'autorise pas l'interruption
D0 = 1 autorise l'émission de l'IT*

A la mise sous tension, les bits D7 à D0 sont à zéro.

L'IT est émise lors de l'écriture 16 bits du registre ou lors de l'écriture 8 bits du niveau choisi :

Si D0 = 1 (émission autorisée), le niveau utilisé doit être masqué en réception.

Ces registres sont accessibles en relecture.

ADDRESSES 0BH - 8-BIT ACCESS ONLY IN WRITE/READ

This byte is used as register of control for the interface to the VME "TRANSMITTER".

The byte D0 is used for validate the decoding of the board VME "TRANSMITTER". It has to be positioned to 1 after writing of the memory address of the board VME "TRANSMITTER" (base address in the memory space).

This byte make the active board.

D0 = Bridge validation side VME "TRANSMITTER".

D1 = Not significant

D2, D3 = Choice of the rack VME "RECEIVER" with which one works.

D2	D3	
0	0	"RECEIVER" VME rack 1 active
1	0	"RECEIVER" VME rack 2 active
0	1	"RECEIVER" VME rack 3 active
1	1	"RECEIVER" VME rack 4 active

Cet octet sert de registre de contrôle pour l'interface vers le VME "EMETTEUR".

Le bit D0 sert à valider le décodage de la carte VME "EMETTEUR". Il doit être positionné à 1 après écriture de l'adresse mémoire de la carte VME "EMETTEUR" (adresse de base dans l'espace mémoire).

Ce bit rend la carte active.

D0 = Validation passerelle côté VME "EMETTEUR".

D1 = Non significatif

D2, D3 = Choix du châssis VME "RECEPTEUR" avec lequel on travaille.

ADDRESS 0AH - 8 BITS

This byte has 2 functions :

Cet octet a 2 fonctions :

◆ IN WRITE

EN ECRITURE

"RECEIVER" VME bus initialization strobe.

A dummy write (DATA not taken into account) enables the signal SYSRESET to be sent to the VME during 200ms. **This strobe does not reinitialize the VME/VME bridge if ST1.4 is « OFF » (slave)**

Strobe d'initialisation du bus VME "RECEPTEUR".

*Une écriture fictive (DATAS non pris en compte) permet d'émettre le signal SYSRESET sur le VME pendant 200 ms. **Ce strobe ne réinitialise pas la passerelle VME/VME si ST1.4 est « OFF » (passerelle esclave)***

◆ **IN READ**

EN LECTURE

"RECEIVER" VME utilities IT.

Reading this byte tells you which utility sent an interrupt to the **"RECEIVER" VME** and enables it to be acknowledged.

IT utilitaires VME "RECEPTEUR".

La lecture de cet octet permet de savoir quel est l'utilitaire qui a émis une interruption vers le VME "RECEPTEUR" et de l'acquitter.

Definition of utility bits read :

Définition des bits utilitaires lus :

D0 = 1 : The signal VME ACFAIL has been activated
Le signal VME ACFAIL a été activé

D1 = 1 : The signal VME SYSFAIL has been activated
Le signal VME SYSFAIL a été activé

D2 = 1 : The signal VME BUSERROR has been activated
Le signal VME BUSERREUR a été activé

D3 = 1 : A timeout has occurred on the VME
Un timeout a eu lieu sur le VME

D4 = 1 : Interrupt sent acknowledged
Interruption émise acquittée

D5 : Not used) Always

D6 : Not used) at 0

D7 = 1 : An exchange has taken place on the **VME** bus at the address pointed by the "TRACE" register.
Un échange a eu lieu sur le bus VME à l'adresse pointée par le registre "TRACE".

ADDRESSES 0CH, 0DH, 0EH, 0FH - 8 AND 16-BIT ACCESS

These 4 addresses are used to store a 32-bit "RECEIVER" VME address.

When an exchange takes place on the "RECEIVER" VME bus at the address pointed by the TRACE register, an interrupt will be generated to the "TRANSMITTER" VME. Bit D7 of the register 0AH will be set to 1. This means that the "TRANSMITTER" VME is informed if an access to the "TRACE" address is made on the "RECEIVER" VME.

Definition of bits :

- ◆ Addresses 0CH and 0DH :

TRACE register data
D15 ⇒ D8 D7 ⇒ D0

VME addresses
A31 ⇒ A24 A23 ⇒ A16

- ◆ 0EH and 0FH addresses :

TRACE register data
D15 ⇒ D8 D7 ⇒ D1 D0

VME addresses
A15 ⇒ A8 A7 ⇒ A1 not used

The interrupt due to the "TRACE" address will be triggered when the address is accessed in 32 or 16-bit words, either in high byte or in low byte.

This register is accessible in write and in read.

NOTE : The "TRACE" address must be written first, followed by bit D0 of the "RECEIVER" VME interface status register (06 H) .

The "TRACE" address will then be validated, which will prevent wrong decodings.

Ces 4 adresses servent à stocker une adresse VME "RECEPTEUR" 32 bits.

Lors d'un échange sur le bus VME "RECEPTEUR" à l'adresse pointée par le registre TRACE, une interruption sera générée vers le VME "EMETTEUR". Le bit D7 du registre 0AH sera positionné à 1. Cela signifie que le VME "EMETTEUR" est prévenu si un accès à l'adresse "TRACE" est effectué sur le VME "RECEPTEUR".

Définition des bits :

- ◆ Adresses 0CH et 0DH :

*Data registre TRACE
D15 ⇒ D8 D7 ⇒ D0*

*Adresses VME
A31 ⇒ A24 A23 ⇒ A16*

- ◆ Adresses 0EH et 0FH :

*Data registre TRACE
D15 ⇒ D8 D7 ⇒ D1 D0*

*Adresses VME
A15 ⇒ A8 A7 ⇒ A1 non utilisé*

L'interruption due à l'adresse "TRACE" sera déclenchée lors d'un passage à l'adresse en mots de 32 ou 16 bits, ou en octet poids fort ou poids faible.

Ce registre est accessible en écriture et en lecture.

NOTA : *Il est impératif d'écrire l'adresse "TRACE" en premier, puis le bit D0 du registre d'état d'interface VME "RECEPTEUR" (06H) .*

L'adresse "TRACE" sera alors validée, ce qui évitera des décodages erronés.

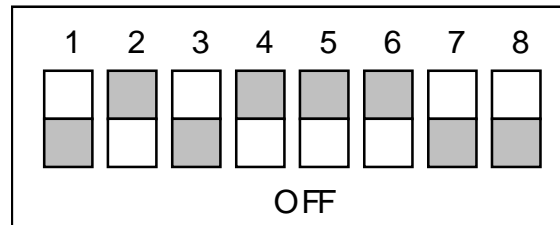
Interrupts to "TRANSMITTER" VME

The interrupts vector is set by the switches of ST3

Interruptions vers le VME "EMETTEUR"

Le vecteur d'interruptions est positionné par les switchs de ST3

ST3



An "ON" switch corresponds to a logic "1".

Un switch "ON" correspond à un "1" logique.

Example : IT vector = 84H

S3-1	ON
S3-5	ON
The others	OFF

The level will depend on the straps of ST6.

Le niveau sera fonction des cavaliers de ST6.

NOTE : If 2 interrupts (RECEIVER VME and utilities VME) are set when acknowledgement takes place the level having priority will be managed but both the interrupts will be acknowledged on the "TRANSMITTER" VME side.

NOTA : Si 2 interruptions (VME récepteur et VME utilitaires) sont positionnées lors de l'acquittement le niveau le plus prioritaire sera géré mais les 2 interruptions seront acquittées côté VME "EMETTEUR".

It is therefore necessary to check whether an interrupt was present on the level not having priority by reading either the registers 00H and 01H for the Receiver interrupts or the register 0AH for the Utilities interrupts.

Il est donc nécessaire de vérifier si une interruption était présente sur le niveau le moins prioritaire en lisant soit les registres 00H et 01H pour les interruptions Récepteurs soit le registre 0AH pour les interruptions Utilitaires.

Acknowledgement on the "RECEIVER" VME side is only effective when the registers 0001H or 0AH are read.

L'acquittement côté VME "RECEPTEUR" n'est effectif que lors de la lecture des registres 0001H ou 0AH.

B.3.3. STRAPS, SWITCHES AND LEDS

STRAPS, SWITCHES ET LEDS

□ "TRANSMITTER" VME BOARD

CARTE VME "EMETTEUR"

STRAPS

Δ# ed. 5 [

On the "TRANSMITTER" VME part, the straps enable the following to be set :

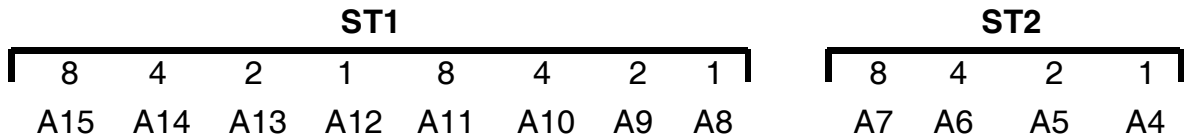
Sur la partie VME "EMETTEUR", les straps permettent de positionner :

- ◆ Interrupts to the "TRANSMITTER" VME
Les interruptions vers le VME "EMETTEUR"

ST6	A	B	C	D	E	F	G
IT level	1	2	3	4	5	6	7
Row 3 Row 2 Row 1	"RECEIVER" VME interrupts "TRANSMITTER" VME interrupts "RECEIVER" VME utilities interrupts						

SWITCHES :

- ◆ The switches ST1, ST2, enable the address of the VME/VME bridge in the "TRANSMITTER" VME I/O space to be chosen.
- ◆ *Les switchs ST1, ST2, permettent de choisir l'adresse de la passerelle VME/VME dans l'espace I/O du VME "EMETTEUR".*



- An "ON" switch, the corresponding address is active at 0.

- *Un switch "ON", l'adresse correspondante est active à 0.*

Example :

The board is supplied configured at base address FFFF0000H.

Exemple :

La carte est livrée configurée à l'adresse de base FFFF0000H.

ST3 = "TRANSMITTER" VME interrupt vector

ST3 = Vecteur d'interruption VME "EMETTEUR"

Switches	1	2	3	4	5	6	7	8
Bits	D7	D6	D5	D4	D3	D2	D1	D0

- An "ON" switch, the corresponding bit is active at 1.

- *Un switch "ON", le bit correspondant est actif à 1.*

LEDS :

The "RAC" led indicates that the bridge is selected.

La led "RAC" indique que la passerelle a été sélectionnée.

The "SYS" led is not used by the transmitter.

La led "SYS" n'est pas utilisée par l'émetteur.

The "ACC" led only lights up when the bridge performs accesses to the **VME** bus.

*La led "ACC" ne s'allume que lorsque la passerelle effectue des accès sur le bus **VME**.*

The 2 leds PJ1, PJ2 light up when the wires J1, J2 are on.

Les deux leds PJ1, PJ2 allumées indiquent que la liaison des câbles J1, J2 est effective.

NB : J1A and J2A are wired point to point with J1B and J2B.

Nota : Les connecteurs J1A, J2A sont reliés point à point aux connecteurs J1B, J2B respectivement

"RECEIVER" VME BOARD CARTE VME "RECEPTEUR"

S1.1-S1.2 : Rack number selection

S1.1 S1.2 : Sélection du numéro de châssis.

RACK	ST6	ST5	ST4	ST3
1	ON	OFF	OFF	OFF
2	OFF	ON	OFF	OFF
3	OFF	OFF	ON	OFF
4	OFF	OFF	OFF	ON

S 1.3 : ON Pages from 128Ko to 2Mo

S1.3 : ON Pages de 128Ko à 2Mo

S1.4 : ON bus Controller
OFF under software control

S1.4 : ON Contrôleur de bus
OFF sous contrôle logiciel

The "RAC" led indicates that the Transmitter part is in "Local Access" (choice of **VME** rack).

*La led "RAC" indique que la partie Emetteur est en "Accès local" (choix du châssis **VME**).*

The "SYS" led lit indicates that the bridge is the **VME** bus controller.

*La led "SYS" allumée indique que la passerelle est contrôleur de bus **VME**.*

The "ACC" led only lights up when the bridge performs accesses to the **VME** bus.

*La led "ACC" ne s'allume que lorsque la passerelle effectue des accès sur le bus **VME**.*

The 2 leds PJ1, PJ2 light up when the wires J1, J2 are on.

Les deux leds PJ1, PJ2 allumées indiquent que la liaison des câbles J1, J2 est effective.

NB : J1A and J2A are wired point to point with J1B and J2B.

Nota : Les connecteurs J1A, J2A sont reliés point à point aux connecteurs J1B, J2B respectivement.

Δ# ed. 5]

C. APPENDIX

ANNEXE

MODIFIED ADDRESS TABLE

TABLE DES ADRESSES MODIFIEES

HEX CODE	ADDRESS MODIFIER						FUNCTION
	5	4	3	2	1	0	
3F	H	H	H	H	H	H	Standard Supervisory Block Transfer
3E	H	H	H	H	H	L	Standard Supervisory Program Access
3D	H	H	H	H	L	H	Standard Supervisory Data Access
3C	H	H	H	H	L	L	Reserved
3B	H	H	H	L	H	H	Standard Non-Privileged Block Transfer
3A	H	H	H	L	H	L	Standard Non-Privileged Program Access
39	H	H	H	L	L	H	Standard Non-Privileged Data Access
38	H	H	H	L	L	L	Reserved
37	H	H	L	H	H	H	Reserved
36	H	H	L	H	H	L	Reserved
35	H	H	L	H	L	H	Reserved
34	H	H	L	H	L	L	Reserved
33	H	H	L	L	H	H	Reserved
32	H	H	L	L	H	L	Reserved
33	H	H	L	L	L	H	Reserved
30	H	H	L	L	L	L	Reserved
2F	H	L	H	H	H	H	Reserved
2E	H	L	H	H	H	L	Reserved
2D	H	L	H	H	L	H	Supervisory Access
2C	H	L	H	H	L	L	Reserved
2B	H	L	H	L	H	H	Reserved
2A	H	L	H	L	H	L	Reserved
29	H	L	H	L	L	H	Non-Privileged Access
28	H	L	H	L	L	L	Reserved
27	H	L	L	H	H	H	Reserved
26	H	L	L	H	H	L	Reserved
25	H	L	L	H	L	H	Reserved
24	H	L	L	H	L	L	Reserved
23	H	L	L	L	H	H	Reserved
22	H	L	L	L	H	L	Reserved
21	H	L	L	L	L	H	Reserved
20	H	L	L	L	L	L	Reserved

L = Low signal level
H = High signal level

HEX CODE	ADDRESS MODIFIER						FUNCTION
	5	4	3	2	1	0	
1F	L	H	H	H	H	H	User defined
1E	L	H	H	H	H	L	User defined
1D	L	H	H	H	L	H	User defined
1C	L	H	H	H	L	L	User defined
1B	L	H	H	L	H	H	User defined
1A	L	H	H	L	H	L	User defined
19	L	H	H	L	L	H	User defined
18	L	H	H	L	L	L	User defined
17	L	H	L	H	H	H	User defined
16	L	H	L	H	H	L	User defined
15	L	H	L	H	L	H	User defined
14	L	H	L	H	L	L	User defined
13	L	H	L	L	H	H	User defined
12	L	H	L	L	H	L	User defined
11	L	H	L	L	L	H	User defined
10	L	H	L	L	L	L	User defined
0F	L	L	H	H	H	H	Extended Supervisory Block Transfer
0E	L	L	H	H	H	L	Extended Supervisory Program Access
0D	L	L	H	H	L	H	Extended Supervisory Data Access
0C	L	L	H	H	L	L	Reserved
0B	L	L	H	L	H	H	Extended Non-Privileged Block Transfer
0A	L	L	H	L	H	L	Extended Non-Privileged Program Access
09	L	L	H	L	L	H	Extended Non-Privileged Data Access
08	L	L	H	L	L	L	Reserved
07	L	L	L	H	H	H	Reserved
06	L	L	L	H	H	L	Reserved
05	L	L	L	H	L	H	Reserved
04	L	L	L	H	L	L	Reserved
03	L	L	L	L	H	H	Reserved
02	L	L	L	L	H	L	Reserved
01	L	L	L	L	L	H	Reserved
00	L	L	L	L	L	L	Reserved

L = Low signal level
H = High signal level

D. DIAGRAMS

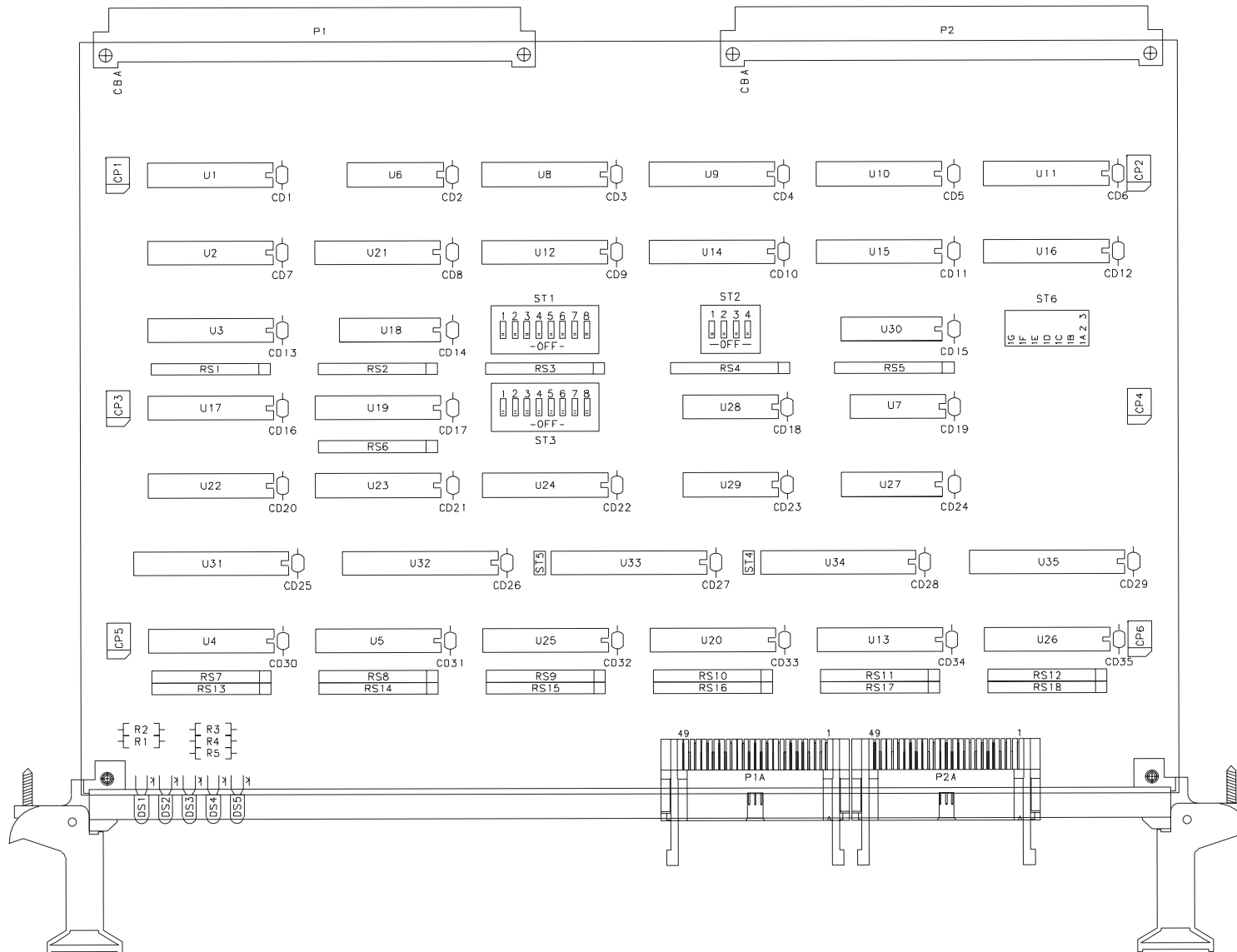
PLANS

D.1. EQUIPMENT LAYOUT VME TRANSMITTER BOARD

PLAN D'EQUIPEMENT DE LA CARTE "EMETTEUR" VME

D.2. EQUIPMENT LAYOUT VME RECEIVER BOARD

PLAN D'EQUIPEMENT DE LA CARTE "RECEPTEUR" VME



INDICE DE REVISION: <u>C,0</u>		
REAL/REV: _____	LE: _____	VISA: _____
APPROUVE: _____	LE: _____	VISA: _____
CREATION DU DOCUMENT: <u>A,0</u>		
REAL/REV: _____	REEL _____	LE: <u>21/02/1990</u>

Ech: 1
PLAN: 1/1

ZAC - 9, rue Georges Besse 78330 FONTENAY LE FLEURY - FRANCE Tel: (33) 1 30 58 90 09 - Fax: (33) 1 30 58 21 33 e-mail: info@adas@adas.fr - http://www.adas.fr	
CLIENT: ADAS	FAMILLE: PASS
REF: XXXXXXXX	NOM: EV800

ADAS
electronique

PLAN D'EQUIPEMENT

