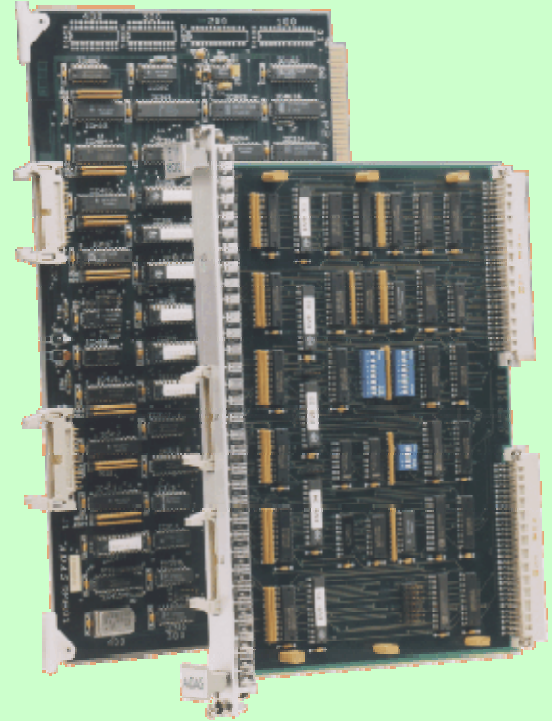


Features

- Interface between **VME** rack and 1 to 4 **MULTIBUS I** racks
Interface entre un châssis VME et 1 à 4 châssis MULTIBUS I
- 64Kb to 2Mb window in memory
Fenêtre de 64Ko à 2Mo en mémoire
- 64Kb window in I/O
Fenêtre de 64Ko en I/O
- 8 or 16 bits exchanges
- Transfer rate $\geq 1M$. Words/s
Taux de transfert de $\geq 1M$. mots/s
- Interrupt management
Gestion des interruptions
- It send to **MULTIBUS I**
Emission d'IT vers MULTIBUS I
- Multiprocessor structure
Structure multiprocesseurs
- Easy use
Utilisation aisée
- MULTIBUS I** /A24 & VME-ANSI/IEEE
1014 standards



Description

The **VME/MULTIBUS I** gateway has been designed to ensure the dialogue between pieces of equipment with different electrical and mechanical standards and when **MULTIBUS I** boards are to be used in a **VME** environment.

The interface comprises two sections: an "emitter" board which is inserted in a slot in the **VME** rack; a second "receiver" board which is inserted in a slot in the **MULTIBUS I** rack.

From the **VME** bus viewpoint the **MULTIBUS I** boards are seen to be resident boards.

Total control of the **MULTIBUS I** authorizes the use of the gateway alone or together with other CPU boards in the "receiver" rack.

The exchange principle is a memory or I/O window which can be moved in the 16M.bytes of the **MULTIBUS I** space. One **VME** emitter can control up to four **MULTIBUS I** racks.

*La passerelle **VME / MULTIBUS I** a été étudiée pour assurer le dialogue entre deux équipements ayant des standards électriques et mécaniques différents et lorsque l'on désire utiliser des cartes **MULTIBUS I** dans un environnement **VME**.*

*L'interface est composée de deux parties : une carte "émetteur" venant s'insérer dans un slot du châssis **VME**; une seconde carte, "récepteur", venant s'insérer dans un slot du châssis **MULTIBUS I**.*

*Les cartes **MULTIBUS I** sont vues du bus **VME** comme des cartes résidentes.*

*La gestion complète du **MULTIBUS I** autorise l'utilisation de la passerelle seule ou avec d'autres cartes CPUs dans le châssis "récepteur".*

*Le principe d'échange est une fenêtre mémoire ou I/O que l'on déplace dans les 16M.octets de l'espace **MULTIBUS I**. Un émetteur **VME** peut gérer jusqu'à quatre châssis **MULTIBUS I**.*

PVM 801

SPECIFICATIONS

(t = 25°C)

TYPE	VME / MULTIBUS 1 GATEWAY
VME EMITTER <ul style="list-style-type: none">- Type- Configuration- Decoded space- VME exchange- VME window- Space control- IT emission- IT reception	Slave board In the VME SHORT I/O space 16 bytes 8/16 bits 2M.bytes space A24 standard Emission with IT levels from 0 to 7 Control of 8 levels with mask
MULTIBUS I RECEIVER <ul style="list-style-type: none">- Type- Multiprocessor control- Standard- Decoding- Memory window Multibus I- I/O window Multibus I- Clock bus- Transfers- Mode- Interrupt to VME- Interruptions- IT generation	Controller board on the MULTIBUS I Yes, with backplane equipped with parallel priorities MULTIBUS I A24/D16 64Kb to 2Mb 4 to 32K.bytes 10MHz 8 or 16 bits RWD (release after each exchange) Timeout MULTIBUS I Control of 8 interrupt levels to one vectored VME level Generation of an interrupt on one of the 8 MULTIBUS I levels
EXCHANGES <ul style="list-style-type: none">- Transfers- Speed- Communication supports- Maximum cable length- Couplers	8, 16 bits 1M. words/s (2M.bytes) 2 adapted 50 pin ribbon cables (1.5m) 15m One VME board can control four MULTIBUS I chassis
PRESENTATION <ul style="list-style-type: none">- MULTIBUS I board- VME board	305 x 171.5 x 10 Double EUROPE Format (233.35 x 160 x 20.32)
CONSUMPTION <ul style="list-style-type: none">- EV- RM	5V / 1A 5V / 3A
ENVIRONMENT <ul style="list-style-type: none">- Operating temperature- Storage temperature- Relative humidity	0°C to + 60°C - 10°C to + 70°C 90 % (without condensation)

HOW TO ORDER?

PVM 801

KIT COMPRISING :

1 VME "emitter" board Ref. : EV800
1 MULTIBUS I "receiver" board Ref. : RM1V

Ribbon WR 310/XXX ⇒ Order separately

Length (in mm) of the ribbon

REFERENCE PRODUIT : PVM 801

DATE	NATURE DE L'EVOLUTION	AUTEUR
Août 95	◆ Création de la documentation Edition 1 - Rév. A	BT
Octobre 96	◆ Passage à la révision B des plans de l'Emetteur EV800 Edition 1 - Rév. B	Ph.D

PVM 801 - Edition 1 - Octobre 1996
Carte "EMETTEUR" : EV 800 - Rév. B + Carte "RECEPTEUR" : RM1V

PVM 801

Kit composé d'une carte "EMETTEUR" Réf. : EV 800
et d'une carte "RECEPTEUR" Réf. : RM1V

S O M M A I R E

A.	DESCRIPTION GENERALE	3
A.1.	GENERALITES	3
A.2.	PRINCIPE D'ECHANGES	3
B.	CARACTERISTIQUES GENERALES	4
B.1.	PARTIE « EMETTEUR » VME (EV 800)	4
B.2.	PARTIE « RECEPTEUR » MULTIBUS I (RM 801)	4
B.3.	UTILISATION	5
B.3.1.	DEFINITION DES REGISTRES DE CONFIGURATION DE LA CARTE « EMETTEUR »	5
B.3.2.	CONFIGURATION DES REGISTRES DANS L'ESPACE SHORT I/O DU VME	6
B.3.3	STRAPS, SWITCHS ET LEDS	13
C.	EXEMPLES D'UTILISATION DE LA PASSERELLE VME/MULTIBUS I	16
C.1.	ACCES A UNE CARTE MEMOIRE	16
C.2.	ACCES A UNE CARTE MULTIBUS en I/O	16
C.3.	GESTION D'UNE INTERRUPTION	17
D.	PLANS	18
D.1.	PLAN D'EQUIPEMENT DE LA CARTE « EMETTEUR » VME	18
D.2.	PLAN D'EQUIPEMENT DE LA CARTE « RECEPTEUR » MULTIBUS	18

A. DESCRIPTION GENERALE

A.1. GENERALITES

L'interface **VME/MULTIBUS I** se compose de deux types de cartes :

- ◆ une carte « EMETTEUR » venant s'insérer dans un slot du châssis **VME** « MAITRE » ;
- ◆ une carte « RECEPTEUR » qui s'insère dans un châssis **MULTIBUS I** « ESCLAVE ». Cette carte se situe dans un slot possédant des priorités parallèles.

La liaison entre les deux cartes est assurée par deux micro-nappes adaptées 50 pts de 1,5m de long.

Cette passerelle **VME/MULTIBUS I** permet d'accéder à tout l'espace du châssis « ESCLAVE » sélectionné, soit 16M.octets en mémoire ou 64K.octets en I/O.

Les transferts s'effectuent en 8 ou 16 bits.

A.2. PRINCIPE D'ECHANGES

Vu du **VME** « MAITRE », le **MULTIBUS I** « ESCLAVE » représente une fenêtre mémoire ou I/O dans son propre espace.

Deux cas sont alors envisageables :

- L'utilisateur ne souhaite accéder qu'à l'espace mémoire du châssis « ESCLAVE », mais avec une grande fenêtre de 64K.octets à 2M.octets.
- L'utilisateur souhaite accéder aux deux champs du **MULTIBUS I** « ESCLAVE » (mémoire ou I/O), dans ce cas les possibilités offertes sont :
 - = 4 à 128K.octets en mémoire modulo 2n
 - = 4 à 32K.octets en I/O modulo 2n

Des registres situés dans l'espace I/O du **VME** « MAITRE » servent à la programmation de la passerelle **VME/MULTIBUS I**.

B. CARACTERISTIQUES GENERALES

B.1. PARTIE « EMETTEUR » VME (EV 800)

- Carte esclave
- Programmation dans l'espace short I/O (16 octets) : adresses modifiées 29H ou 2DH
- Espace mémoire de 2M.octets dans l'espace standard A24/D16 : adresses modifiées 39H ou 3DH
- Génération d'une interruption vers le bus « RECEPTEUR »
- Gestion des niveaux d'interruptions dans l'espace **VME**

B.2. PARTIE « RECEPTEUR » MULTIBUS I (RM 801)

- Carte maître sur le **MULTIBUS I**
- Génère tous les signaux nécessaires au **MULTIBUS I**
- Echanges entre cartes : 8 ou 16 bits
- Gestion des 8 niveaux d'interruptions **MULTIBUS I**
- Espace mémoire seul sur le **MULTIBUS I**
 - = fenêtre de 64K.octets à 2M.octets en 2n
 - = segments sur 16M.octets
- Espace mémoire ou I/O sur le **MULTIBUS I**
 - = Mémoire : fenêtre de 4 à 128K.octets en 2n
segment sur 16M.octets
 - = I/O : fenêtre de 4 à 32K.octets en 2n
segments sur 64K. octets

B.3. UTILISATION

B.3.1. DEFINITION DES REGISTRES DE CONFIGURATION DE LA CARTE « EMETTEUR »

La carte « EMETTEUR » du châssis « MAITRE » occupe 16 octets dans l'espace I/O.

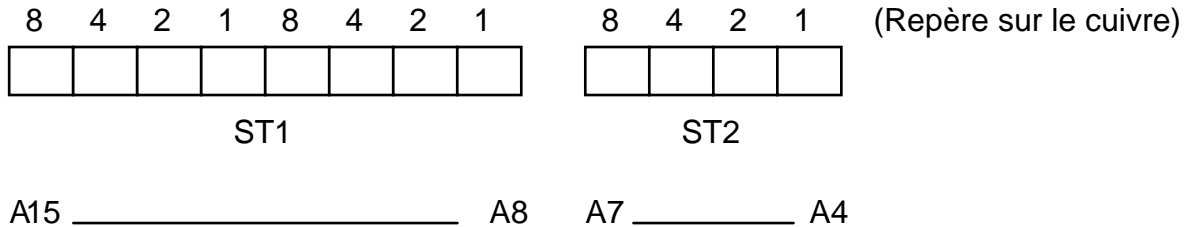
L'adresse de base est configurée par les switches ST1, ST2.

Les registres sont les suivants :

- | | | |
|--|---|---|
| BASE + 00H en écriture | : | Adresse de base de la fenêtre mémoire qui servira aux échanges dans le châssis « MAITRE ». |
| BASE + 02H et 03H en lecture/écriture | : | Partie haute de l'adresse de base de la fenêtre mémoire ou I/O dans le châssis « ESCLAVE »
= Taille de la fenêtre
= Adresse intermédiaire dans le châssis « RECEPTEUR » |
| BASE + 04H et 05H en lecture/écriture | : | Registre de configuration |
| BASE + 06H et 07H en écriture | : | Strobe d'initialisation du MULTIBUS I « RECEPTEUR » |
| BASE + 08H et 09H en lecture | : | Emission du strobe d'interruption vers le châssis « ESCLAVE » |
| BASE + 08H et 09H en écriture | : | Acquittement de l'interruption reçue d'un châssis « ESCLAVE » |
| BASE + 0BH en lecture/écriture | : | Registre de configuration des échanges |
| BASE + 0AH en lecture | : | Registre acquittement timeout. |
| BASE + 0CH et 0DH
et
BASE + 0EH et 0FH | : | Adresse MULTIBUS I du « RECEPTEUR » où le destinataire d'une interruption doit venir acquitter la dite interruption par une lecture à cette adresse. |

B.3.2. CONFIGURATION DES REGISTRES DANS L'ESPACE SHORT I/O DU VME

L'adresse « basse » est définie par ST1, ST2.



Un switch « ON » représente un zéro.

ADRESSE 00H, 01H - Accès en 8 et 16 bits

- **En écriture**

Ces adresses correspondent à l'adresse de base dans l'espace mémoire **VME** « EMETTEUR » pour les poids AD23 à AD21. L'émetteur **VME** décode dans tous les cas 2M.octets.

D15	D14	D13	D12-D8	D7 _____	D4-D3 _____	D0
AD23	AD22	AD21	N. utilisé			N. utilisé

Exemple :

Si l'on souhaite accéder à une page de 128K.octets positionnée de 540000H à 55FFFFH sur le **VME**, il faut écrire 40H à l'adresse de base + 0 qui correspond à une fenêtre de 400000H à 55FFFFH.

□ **ADRESSES 02H et 03H - Accès en 8 et 16 bits en écriture / lecture**

Ces registres contiennent trois types d'informations :

- **Partie haute** de l'adresse de base de la fenêtre mémoire ou I/O dans le châssis « ESCLAVE ».

Adresse 03H

D7	D6	D5	D4	D3	D2	D1	D0
AD17H	AD16H	AD15H	AD14H	AD13H	AD12H	AD11H	N.U.

Il est à noter que cette partie haute ne concerne que le champ de mémoire de 16M.octets. Le champ I/O n'est pas concerné par ces adresses, celui-ci ne faisant que 64K.octets, on écrira « 0 » dans ce cas.

Les bits AD17H à AD11H ne sont pas utilisés si l'on travail dans l'espace mémoire jusqu'à 2M.octets.

ATTENTION : Le bit AD10H est pris en compte dans le registre 2H et non dans le registre 3H.

Exemple : Si l'on souhaite accéder à une adresse EF0000H dans le châssis « ESCLAVE » avec 64K de fenêtre, on écrira dans le registre 3H sachant que D0 ne sera pas pris en compte.

Il faut donc positionner : AD10H = 1 dans le registre 2H

- **Taille de la fenêtre**

Adresse 02H

D10	D9	D8
T2	T1	T0

La taille de la fenêtre dépend également du cavalier : ST4 sur le « RECEPTEUR »

			A	B1	B2
T2	T1	T0	MEMOIRE	MEMOIRE	I/O
0	0	0	64K	4K	4K
0	0	1	128K	8K	8K
0	1	0	256K	16K	16K
0	1	1	512K	32K	32K
1	0	0	1M	64K	32K
1	0	1	2M	128K	32K
1	1	0	2M	128K	32K
1	1	1	2M	128K	32K

A : ST4 récepteur = OFF Mémoire uniquement

B : ST4 récepteur = ON Mémoire ou I/O

- **Adresses intermédiaires**

Les adresses intermédiaires ne sont pas utilisées dans le cas où elles interviennent dans la taille de la fenêtre. Elles servent à définir l'adresse de base de la fenêtre en fonction de sa taille dans le châssis « ESCLAVE » ; elles complètent les adresses hautes situées en D7-D1 du registre 03H.

Trois cas sont alors rencontrés :

Cas A : Espace mémoire uniquement

Les bits de données D15 à D11 de l'adresse 02H correspondent aux adresses AD14H à AD10H du châssis « ESCLAVE ».

D15	D14	D13	D12	D11	D10	D9	D8
AD14H	AD13H	AD12H	AD11H	AD10H	T2	T1	T0

Cas B1 : Espace mémoire

Les bits de données D15 à D11 de l'adresse 02H correspondent aux adresses AD10H à ADCH du châssis « ESCLAVE »

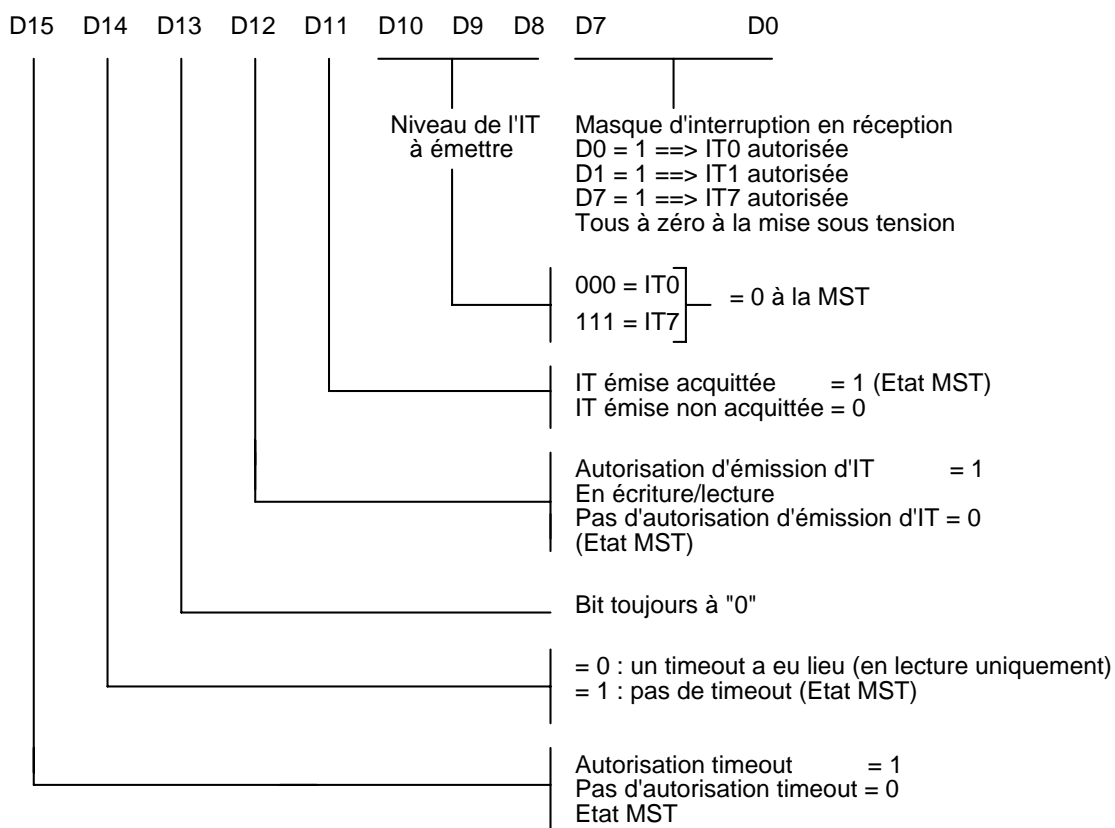
D15	D14	D13	D12	D11	D10	D9	D8
AD10H	ADFH	ADEH	ADDH	ADCH	T2	T1	T0

Cas B2 : Espace I/O

La correspondance est identique au cas B, seule l'adresse AD10H est non significative.

❑ **ADRESSES 04H et 05H - Accès en 8 ou 16 bits**

Ces registres définissent les configurations.
Ils sont accessibles en lecture/écriture.



❑ **ADRESSE 06H et 07H - Accès 8 et 16 bits**

Ces registres servent uniquement en écriture.

Une écriture fictive à ces adresses déclenche une initialisation au niveau du châssis récepteur concerné.

Cette action ne modifie pas l'état des registres de la passerelle.

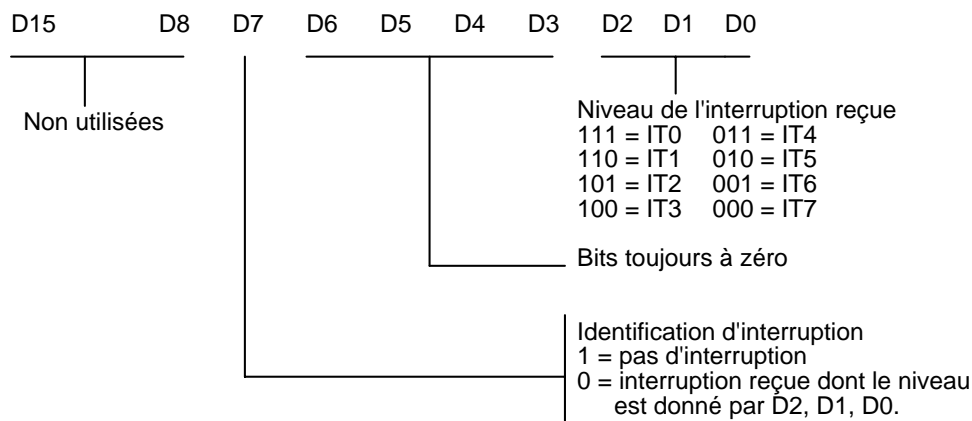
❑ ADRESSE 08H et 09H - Accès 8 et 16 bits

• *Écriture fictive*

Génération d'un strobe vers le châssis « ESCLAVE » pour émettre l'interruption dont le niveau a été défini par les bits D8 à D10 du registre de configuration.

• *En lecture*

Acquittement de l'interruption reçue.



Remarques :

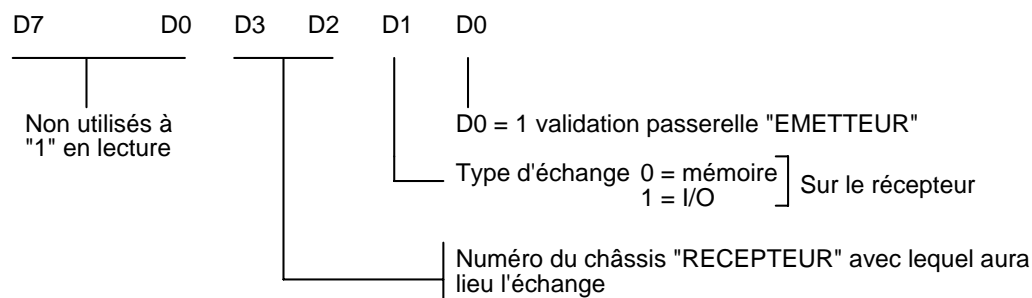
Les interruptions sont prises en compte avec priorités :

- le niveau 0 est le plus prioritaire
- le niveau 7 est le moins prioritaire

Une interruption ne sera prise en compte que si la précédente a été acquittée.

ADRESSE 0BH - Accès 8 bits

Ce registre de configuration des échanges est accessible en lecture et écriture.



Remarques :

D0 = valide la programmation des registres et « libère » les décodages.

D1 = défini si l'échange aura lieu dans l'espace I/O ou mémoire du châssis « RECEPTEUR »

D2/D3 = numéro du châssis « RECEPTEUR » avec lequel aura lieu l'échange.

D3	D2	CHASSIS
0	0	1
0	1	2
1	0	3
1	1	4

Le fonctionnement multichâssis ou pas impose d'avoir le châssis 1 côté **MULTIBUS I**.

ADRESSE 0AH - Accès en 8 bits

Lecture fictive d'acquittement du timeout « RECEPTEUR ».

ADRESSE 0CH A 0DH - En écriture / lecture

Adresses **MULTIBUS** du « RECEPTEUR » où le destinataire d'une interruption doit venir acquitter la dite interruption par une lecture à cette adresse sur 1 octet.

ADRESSE 0EH ET 0FH

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
AD17H	AD16H	AD15H	AD14H	AD13H	AD12H	AD11H	AD10H	N.U.							

❑ **ADRESSE 0CH ET 0DH**

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
ADFH	ADEH	ADDH	ADCH	ADBH	ADAH	AD9H	AD8H	AD7H	AD6H	AD5H	AD4H	AD3H	AD2H	AD1H	AD0H

L'état du bit D0 en lecture à l'adresse des registres 0CH et 0FH renseigne le destinataire de l'interruption.

D0 = 1 ⇒ la passerelle est bien l'émettrice de l'interruption, l'acquittement est effectué lors de la lecture.

D0 = 0 ⇒ La passerelle n'est pas l'émettrice de l'interruption.

B.3.3 STRAPS, SWITCHS ET LEDS

❑ **CARTE VME « EMETTEUR »**

STRAPS

Sur la partie **VME** « EMETTEUR », les straps permettent de positionner :

- Les interruptions vers le **VME** « EMETTEUR »

ST6	A	B	C	D	E	F	G
Niveau IT	1	2	3	4	5	6	7

Rangée 1 Interruption **MULTIBUS I** « RECEPTEUR »

Rangée 2 Interruption **VME** « EMETTEUR »

Rangée 3 Interruption utilitaires **MULTIBUS I** « RECEPTEUR »

SWITCHS

- Les switchs ST1, ST2 permettent de choisir l'adresse de la passerelle **VME/MULTIBUS I** dans l'espace I/O du **VME** « EMETTEUR »

ST1								ST2			
┌──────────────────────────────────┐								┌──────────────────┐			
8	4	2	1	8	4	2	1	8	4	2	1
A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4

- Un switch « ON », l'adresse correspondante est active à « 0 »

Exemple :

ST3 = Vecteur d'interruption **VME** « EMETTEUR »

Switchs	1	2	3	4	5	6	7	8
Bits	D7	D6	D5	D4	D3	D2	D1	D0

LED

La led sur la partie **VME** « EMETTEUR » permet de savoir si la passerelle **VME/MULTIBUS I** est sélectionnée, c'est-à-dire décodée dans l'espace mémoire défini par le registre 0.

❑ CARTE MULTIBUS I « RECEPTEUR »

STRAPS

ST1 : ON La passerelle génère le signal INIT dans le châssis « ESCLAVE »

ST2 : OFF Strap usine

ST3 : Durée du timeout partie réceptrice

ST3	1	2	4
Timeout 10 μ s	ON	OFF	OFF
Timeout 100 μ s	OFF	ON	OFF
Timeout 2ms	OFF	OFF	ON

Des précautions doivent être prises en fonction du timeout **VME** « EMETTEUR ».

ST4 : ON Espace mémoire 4K.octets à 64K.octets
ou I/O 4K.octets à 32K.octets

ST4 : OFF Espace mémoire 64K.octets à 2M.octets
La position de ce strap doit être identique à celle du strap ST5 de la partie émettrice.

ST5 : Numéro du châssis « ESCLAVE »

ST5	1	2	4	8
Châssis 1	ON	OFF	OFF	OFF
Châssis 2	OFF	OFF	ON	OFF
Châssis 3	OFF	ON	OFF	OFF
Châssis 4	OFF	OFF	OFF	ON

Nota : Le châssis 1 doit toujours être utilisé.

ST6 : ON La passerelle génère le signal CCLK dans le châssis « ESCLAVE »

ST7 : ON La passerelle génère le signal BCLK dans le châssis « ESCLAVE »

LEDS

Le led rouge DS1 allumé signifie que la passerelle effectue des échanges sur le **MULTIBUS I** du châssis « ESCLAVE ».

Le led vert DS2 allumé signifie que le châssis correspondant est sélectionné.

Le timeout **MULTIBUS I** pour être utilisable doit être plus court que celui du **VME**. Cette fonction est en général utilisée dans les modèles **MULTIBUS/MULTIBUS** (PMM), le **MULTIBUS** n'ayant pas de Bus Erreur.

C. EXEMPLES D'UTILISATION DE LA PASSERELLE VME/MULTIBUS I

C.1. ACCES A UNE CARTE MEMOIRE

ST4 : « RECEPTEUR » OFF

- On souhaite accéder à une carte mémoire dans le châssis **MULTIBUS I** à l'adresse 020000H. Cette carte décode 512K.octets.
- On souhaite utiliser l'espace **VME** entre 800000H et A00000H

Les registres à programmer sont les suivants dans l'espace I/O **VME** :

<u>Registres</u>	00	80H	Base 800000H VME
	01	00H	
	02	04H	04 page de 1M.octet MULTIBUS
	03	02H	02 Adresse haute MULTIBUS
	0B	01H	Validation passerelle dans l'espace standard VME Espace mémoire Châssis 1

Une lecture ou écriture à l'adresse **VME** 820000H permet d'accéder à la carte mémoire du châssis **MULTIBUS I**.

La mémoire **MULTIBUS** est vue jusqu'à l'adresse 89FFFFH.

C.2. ACCES A UNE CARTE MULTIBUS en I/O

ST4 : « RECEPTEUR » ON

- On souhaite accéder à une carte **MULTIBUS I** en I/O à l'adresse MULTIBUS / I/O 5550H. Cette carte décode 16 octets.
- On souhaite utiliser l'espace **VME** entre 400000H et 600000H.
On écrit dans l'espace I/O **VME** les registres :

<u>Registres</u>	00	40H	Base 400000H VME
	01	00H	
	02	04H	Page de 32K I/O entre 0 et 800H
	03	00H	
	0B	03H	Validation passerelle Espace I/O Châssis 1

Une lecture ou écriture à l'adresse **VME** 405550H permet d'accéder à la carte **MULTIBUS / I/O**.

C.3. GESTION D'UNE INTERRUPTION

Une carte **MULTIBUS I** générant une interruption, cette dernière sera autorisée dans les registres **I/O / VME** 4 et 5.

On écrit dans le registre 4 et 5 00FFH. Tous les niveaux sont autorisés.

Lorsque la carte CPU dans le châssis « **EMETTEUR** » **VME** reçoit une interruption vectorisée (voir cavalier et straps), elle doit :

- = venir lire les registres 8 et 9 dans l'espace **I/O VME** où l'on trouve le niveau d'**IT MULTIBUS** actif bits D2 à D0,
- = puis acquitter cette interruption sur le **MULTIBUS** (suivant le type de carte).

La lecture facultative des registres 8 et 9 permet de savoir que l'interruption **MULTIBUS** a été acquittée. Le registre est positionné à 0080H.

D. PLANS

D.1. PLAN D'EQUIPEMENT DE LA CARTE « EMETTEUR » VME

D.2. PLAN D'EQUIPEMENT DE LA CARTE « RECEPTEUR » MULTIBUS

