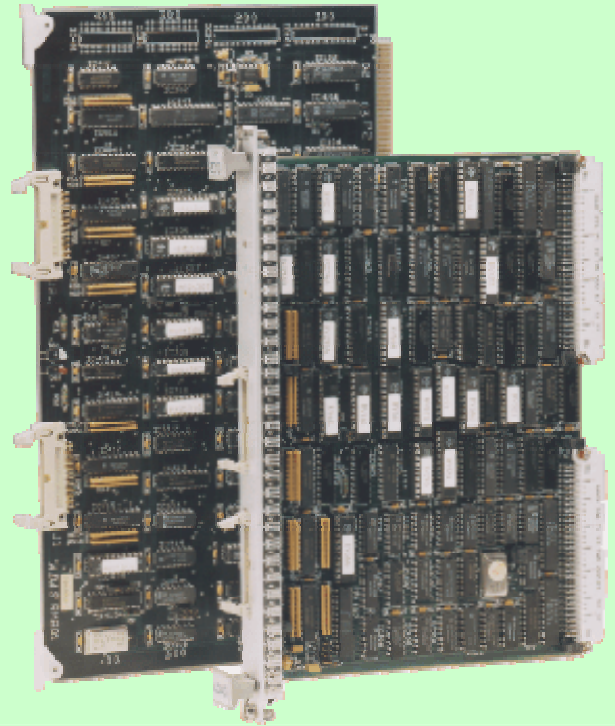




Features

- Interface between **MULTIBUS I** and one to four **VME** buses
*Interface entre **MULTIBUS I** et un à quatre bus **VME***
- Window of 4Kb to 2Mb in the 4G.bytes
Fenêtre de 4Ko à 2Mo dans les 4G.octets
- Decoding A32/D32 "receiver" board
- Transfer rate 1M. Words/s
- Transfers on 8, 16 or 32 bits
- "Master" or "Slave" **VME** board
*Carte **VME** "Maître" ou "Esclave"*
- Vectored interrupts management
Gestion des interruptions vectorisées
- Possibility of software trace
Possibilité de trace logicielle
- VME-ANSI/IEEE 1014 & MULTIBUS I standards



Description

The **MULTIBUS I / VME** bus gateway has been designed for dialogue between two items of equipment having different electrical and mechanical standards and when **VME** boards are to be used in a **MULTIBUS I** environment.

The interface comprises two parts: a "transmitter" board which is inserted in a slot of the **MULTIBUS I** rack; and a second "receiver" board inserted in a slot of the **VME** rack.

The **VME** boards are seen from the **MULTIBUS I** as resident boards. Full management of the **VME** enables the gateway to be used alone or with other CPU boards in the rack.

The exchange principle is a memory window of 4Kb to 2Mb which can be shifted within the 4G.bytes of the **VME** space. One **MULTIBUS I** transmitter can thus manage up to four **VME** racks.

*La passerelle **MULTIBUS I / bus VME** a été étudiée pour assurer le dialogue entre deux équipements ayant des standards électriques et mécaniques différents et lorsque l'on désire utiliser des cartes **VME** dans un environnement **MULTIBUS I**.*

*L'interface est composée de deux parties : une carte "émetteur" venant s'insérer dans un slot du châssis **MULTIBUS I** ; une seconde carte, "récepteur", venant s'insérer dans un slot du châssis **VME**.*

*Les cartes **VME** sont vues du **MULTIBUS I** comme des cartes résidentes. La gestion complète du **VME** autorise l'utilisation de la passerelle seule ou avec d'autres cartes CPU dans le châssis.*

*Le principe d'échange est une fenêtre mémoire de 4Ko à 2Mo que l'on déplace dans les 4G.octets de l'espace **VME**. Un émetteur **MULTIBUS I** peut gérer jusqu'à quatre châssis **VME**.*

PMV 801

SPECIFICATIONS

(t = 25°C)

TYPE	MULTIBUS I / VME GATEWAY
MULTIBUS I TRANSMITTER <ul style="list-style-type: none">- Type- Configuration- Space decoded- Memory exchange window- Space decoded in I/O- Space decoded in memory- MULTIBUS I exchanges	Slave board on the MULTIBUS I In the I/O space 16 bytes 4Kb to 2Mb in the MULTIBUS I memory space 16 address lines 24 address lines 8 or 16 bits
VME RECEIVER <ul style="list-style-type: none">- Standard- Decoding- Exchange window- Modified addresses- Bus clock- Transfers- Bus arbitrator- Mode- Interrupt to MULTIBUS I (utilities IT)- Interrupts- IT generation	VME-ANSI/IEEE 1014 A32 / D32 64, 128, 512, 1024 and 2048K.bytes in the VME "receiver" memory space Yes 16MHz 8, 16 or 32 bits (2 16-bit exchanges) 4 priority levels RWD (release after each read) ACFAIL, SYSFAIL, Error bus, Timeout, Trace, IT send acknowledgement Management of the 7 vectored interrupts levels to one MULTIBUS I level Generation of a vectored interrupt on one of the 7 VME bus levels
EXCHANGES <ul style="list-style-type: none">- Transfers- Rate- Communication support- Maximum connecting cable length- Couplers	8, 16 or 32 bits 1M.words/s (2M.bytes) 2 micro-ribbon cables, 50 pins adapted (1.5 m) 15 m One MULTIBUS I board can manage four VME busses
PRESENTATION (in mm) <ul style="list-style-type: none">- MULTIBUS I board- VME board	305 x 171.5 x 10 Double EUROPE format (233.35 x 160 x 20.32)
CONSUMPTION <ul style="list-style-type: none">- EM- RV	5V / 1A 5V / 3.5A
ENVIRONMENT <ul style="list-style-type: none">- Operating temperature- Storage temperature- Relative humidity	0°C to + 60°C - 10°C to + 70°C 90 % (without condensation)

HOW TO ORDER?

PMV 801

KIT COMPRISING:

1 **MULTIBUS I** "transmitter" board Ref. : EM801
1 **VME** "receiver" board Ref. : RV800

Ribbon WR 310/XXX ⇒ Order separately

Length (in mm) of the ribbon

REFERENCE PRODUIT : **PMV 801**

DATE	NATURE DE L'EVOLUTION	AUTEUR
Novembre 94	♦ Mise à jour de la documentation Edition 2 - Emetteur : EM 801 Récepteur : RV 800 Rév. C	Ph.D

PMV 801 : Novembre 1994 - Edition 2
Carte "EMETTEUR" : EM801 + Carte "RECEPTEUR" : RV800 Rév.C

PMV 801

Kit composé d'une carte "EMETTEUR"
et d'une carte "RECEPTEUR"

S O M M A I R E

A.	DESCRIPTION GENERALE	3
A.1.	GENERALITES	3
A.2.	PRINCIPE D'ECHANGE	3
B.	CARACTERISTIQUES GENERALES	4
B.1.	PARTIE VME	4
B.2.	PARTIE MULTIBUS I	4
B.3.	UTILISATION	5
	B.3.1. DEFINITION DES REGISTRES DANS L'ESPACE I/O DU MULTIBUS I.....	5
	B.3.2. CONFIGURATON DES REGISTRES DANS L'ESPACE I/O	6
	B.3.3. STRAPS, SWITCHS ET LEDS	16
C.	ANNEXE	18
D.	PLANS	20
D.1.	PLAN D'EQUIPEMENT DE LA CARTE « EMETTEUR » MULBITUS I	20
D.2.	PLAN D'EQUIPEMENT DE LA CARTE « RECEPTEUR » VME	21

A. DESCRIPTION GENERALE

A.1. GENERALITES

L'interface **MULTIBUS I / VME** se compose de 2 parties :

- Une carte venant s'insérer dans un slot du châssis MULTIBUS I
Cette carte génère les signaux nécessaires aux échanges entre le **MULTIBUS I** et la carte **VME** bus.
- Une deuxième carte venant s'insérer dans un slot du châssis VME :
 - = le slot 1, si l'on souhaite que l'interface **MULTIBUS I/VME** soit contrôleur de bus
 - = n'importe quel slot, si l'interface **MULTIBUS I/VME** est une carte esclave en multiprocesseur

La liaison entre les deux cartes est assurée par 2 micro-nappes adaptées, 50 points, de 1,5m de long.

Cette passerelle **MULTIBUS I/VME** permet d'accéder à tout l'espace du bus VME soit 4G.octets en 8, 16 ou 32 bits (2 accès 16 bits consécutifs du MULTIBUS I).

A.2. PRINCIPE D'ECHANGE

Vu du MULTIBUS I, le bus VME représente soit :

- une fenêtre mémoire de 4 à 128K.octets
- une fenêtre de 64K.octets à 2M.octets (choix par cavalier)

On génère les adresses hautes de l'espace VME dans un registre puis les adresses intermédiaires : A16 à A12 ou A20 à A16, en fonction de la largeur des fenêtres choisies. Il est alors possible de se déplacer dans le 4G.octets de l'espace VME.

L'espace I/O du MULTIBUS I sert à la programmation des divers registres de l'interface **MULTIBUS I/VME**, ce qui permet d'utiliser pleinement la fenêtre choisie dans l'espace mémoire du MULTIBUS I.

B. CARACTERISTIQUES GENERALES

B.1. PARTIE VME

- Carte contrôleur de bus VME A32/D32 ;
- Génération d'une interruption vectorisée vers VME ;
- Gestion de 7 niveaux d'interruption VME vers un niveau MULTIBUS ;
- Arbitre de bus VME à 4 niveaux de priorité ;
- Mode RWD (relâchement après chaque accès) ou ROR (relâchement sur demande) ;
- Emission d'une interruption utilitaire vers le MULTIBUS I sur ACFAIL, SYSFAIL, BUS ERREUR, TIMEOUT, adresse TRACE, interruption émise acquittée ;
- Interface VME entièrement programmable dans l'espace I/O du MULTIBUS I ;
- Accès au VME soit :
 - par fenêtre de 4, 8, 16, 32, 64 et 128K.octets
 - par fenêtre de 64, 128, 256, 512K.octets et 1 et 2M.octets

B.2. PARTIE MULTIBUS I

Vu du MULTIBUS I, les registres de programmation de l'interface VME se trouvent dans l'espace I/O. L'interface **MULTIBUS I/VME** occupe 16 octets dans l'espace I/O.

La carte est livrée configurée aux adresses 1000H à 100FH dans l'espace I/O MULTIBUS.

B.3. UTILISATION

B.3.1. DEFINITION DES REGISTRES DANS L'ESPACE I/O DU MULTIBUS I

La carte « MAITRE » occupe 16 octets dans l'espace I/O du Multibus I.
L'adresse de base est configurée par les switchs S1, S2, S3.

Les registres sont les suivantes :

- | | |
|---|--|
| BASE + 00 et 01H en écriture | : Adresse de base physique de la fenêtre de l'interface MULTIBUS I/VME dans l'espace mémoire du MULTIBUS I (8/16 bits). |
| BASE + 00 et 01H en lecture | : Registre d'acquiescement d'interruption reçue par lecture du niveau de l'IT et du vecteur (8/16 bits). |
| BASE + 02 et 03H en écriture/lecture | : Adresses modifiées VME
Taille de la fenêtre VME
Adresses intermédiaires VME. |
| BASE + 04 et 05H en écriture/lecture | : Adresses hautes dans l'espace VME. |
| BASE + 06 et 07H en écriture/lecture | : Registre d'état de l'interface VME. |
| BASE + 08 et 09H en écriture/lecture | : Registre du numéro de vecteur et de son niveau d'IT à émettre sur le VME. |
| BASE + 0AH en écriture/lecture | : Registre de contrôle lié à l'interface MULTIBUS I (en 8 bits). |
| BASE + 0BH en écriture | : Strobe d'initialisation du bus VME
émission de SYSRESET sur le VME (8 bits) |
| BASE + 0B en lecture | : Acquiescement du registre d'interruptions utilitaires reçues (8 bits). |
| BASE + 0CH à 0FH en écriture/lecture | : Adresse « TRACE » 32 bits sur le VME. |

B.3.2. CONFIGURATON DES REGISTRES DANS L'ESPACE I/O

L'adresse « basse » est définie par S1, S2 et S3.

□ ADRESSES 00H ET 01H - ACCES EN 8 ET 16 BITS

◆ *En écriture*

Ces adresses correspondent à l'adresse de base dans l'espace mémoire MULTIBUS I pour les poids AD23 et AD12.

D15 _____	D8 _____	D7 _____	D4 _____	D3 _____	D0 _____
AD23	AD16	AD15	AD12	N.U.	

Exemple : Si l'on souhaite accéder à une page de 128K.octets positionnée de 0C0000H à 0DFFFFH sur le MULTIBUS I, il faut écrire 0C00H à l'adresse de base + 0 qui correspond à 0C0000H dans le premier M.octet du MULTIBUS I.

◆ *En lecture*

Acquittement d'interruption reçue.

D7 à D0 : Numéro du vecteur émis par la carte VME, source de l'interruption.

D15 à D8 : Niveau d'interruption utilisé par la carte VME, source de l'interruption.

D15 correspond au niveau 7,
D14 correspond au niveau 6,
D13 correspond au niveau 5,
D12 correspond au niveau 4,
D11 correspond au niveau 3,
D10 correspond au niveau 2,
D9 correspond au niveau 1,
D8 est toujours à 0.

L'acquittement n'est effectif que lors de la lecture de l'octet contenant le niveau.

Une autre interruption ne peut être prise en compte tant que celle en cours n'a pas été acquittée.

Ces registres sont positionnés à zéro après chaque lecture, ceci afin d'éviter la perte d'une interruption.

❑ ADRESSES 02H ET 03H - ACCES EN 8 ET 16 BITS

Adresses modifiées VME, taille fenêtre VME, et adresses intermédiaires VME.

Ce registre est accessible en écriture/lecture, les DATAs correspondent aux codes suivants :

D-

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A16	A15	A14	A13	A12	P3	P2	P1			AM 5	AM 4	AM 3	AM 2	AM 1	AM 0
Adresses intermédiaires VME					VME code de taille			N.U.		Adresses modifiées VME					

L'écriture des codes d'adresses modifiées bits D0 à D5, devra impérativement correspondre à un des cas de la table fournie en annexe provenant des normes de l'interface VME. Révision C.1.

Les codes de taille fenêtre bits D8 à D10 sont les suivants :

			Taille fenêtre en fonction de ST2	
P3	P2	P1	ST2 ON	ST2 OFF
0	0	0	4Ko	64Ko
0	0	1	8Ko	128Ko
0	1	0	16Ko	256Ko
0	1	1	32Ko	512Ko
1	0	0	64Ko	1Mo
1	0	1	-	-
1	1	0	128Ko	2Mo
1	1	1		

Les adresses intermédiaires ne sont pas utilisées dans les cas où elles interviennent dans la taille de la fenêtre

ST2 de la carte VME doit être positionné de façon identique à ST2 sur la carte MULTIBUS I.

Exemple : Si l'on souhaite accéder à un espace VME de 64K.octets, le bit A16 sera le seul à être utilisé dans les adresses intermédiaires, les autres ne seront pas prises en compte.

Si le registre des adresses hautes contient 0080H et seulement A16 = 0, l'adresse de base VME sera 00800000H et l'espace décodé pourra atteindre 0080FFFFH.

❑ ADRESSES 04H ET 05H - ACCES EN 8 ET 16 BITS

Ces adresses correspondent aux registres des adresses hautes VME.

Les registres BASE + 04H, BASE + 05H servent à stocker respectivement les adresses A17 à A31 de l'espace choisi.

La correspondance des DATAs est la suivante :

D15 ⇒ D8 D7 ⇒ D1, D0
A31 ⇒ A24 A23 ⇒ A17 non utilisé

Ces registres sont accessibles en écriture et en lecture.

❑ ADRESSES 06H ET 07H - ACCES EN 8 ET 16 BITS - REGISTRE D'ETAT - INTERFACE VME

Les registres BASE + 06H et BASE + 07H servent à positionner la passerelle **MULTIBUS I/VME** dans différents modes de fonctionnement.

Ils sont accessibles en écriture et lecture.

Définitions des bits des registres d'état :

D15 = 0 : Bus erreur VME non autorisé vers passerelle

D15 = 1 : Bus erreur VME autorisé vers passerelle

D14 = 0 : Timeout 64 μ s lors de non réponse d'un espace VME décodé

D14 = 1 : Pas de timeout

D13 = 0 : RWD : relâchement du bus VME après chaque accès

D13 = 1 : ROR : relâchement du bus VME sur demande d'autres cartes

D12 = 0 : La passerelle **MULTIBUS I/VME** est une carte esclave sur le bus VME en multiprocesseur

D12 = 1 : La passerelle **MULTIBUS I/VME** est le contrôleur du bus et elle doit être placée dans le slot 1 du châssis VME

D11 = 0 : Accès VME 8 ou 16 bits

D11 = 1 : Accès VME 32 bits en modulo 4 uniquement
L'adresse A1 est forcée à zéro

La passerelle accède au bus VME en 32 bits. Vu du **MULTIBUS I**, l'accès se fait en 2 cycles : écriture et lecture

Ecriture : Le 1er cycle passerelle stocke les poids forts.
Le 2ème cycle passerelle transfère les poids forts et les poids faibles vers le bus VME.

Lecture : Le 1er cycle passerelle accède au bus VME et transfère les poids forts.
Le 2ème cycle passerelle transfère les poids faibles.

D10 : Non utilisé

D9-D8 : Ces 2 bits permettent de choisir le niveau de priorité utilisé par la passerelle **MULTIBUS I/VME**.

Bits	D9	D8	
Etat	0	0	Niveau priorité 0
Etat	0	1	Niveau priorité 1
Etat	1	0	Niveau priorité 2
Etat	1	1	Niveau priorité 3

D7 à D1 : Autorisation interruption vers passerelle

D0 = 1 : Validation de l'adresse TRACE

D7 = 1 : Autorisation interruption niveau 7
D7 = 0 : Niveau 7 masqué

D6 = 1 : Autorisation interruption niveau 6
D6 = 0 : Niveau 6 masqué

D5 = 1 : Autorisation interruption niveau 5
D5 = 0 : Niveau 5 masqué

D4 = 1 : Autorisation interruption niveau 4
D4 = 0 : Niveau 4 masqué

D3 = 1 : Autorisation interruption niveau 3
D3 = 0 : Niveau 3 masqué

D2 = 1 : Autorisation interruption niveau 2
D2 = 0 : Niveau 2 masqué

D1 = 1 : Autorisation interruption niveau 1
D1 = 0 : Niveau 1 masqué

Le niveau utilisé en émission sur le VME doit rester masqué.

A la mise sous tension (MST), tous les bits de ce registre sont positionnés à zéro.

La passerelle **MULTIBUS I/VME** se trouve dans l'état suivant à la mise sous tension :

- Bus erreur non autorisé ;
- Timeout de 64µs ;
- RWD, relâchement du bus après chaque accès ;
- Passerelle **MULTIBUS I/VME** - Carte esclave sur bus VME ;
- Accès vers VME en 8 ou 16 bits ;
- Passerelle **MULTIBUS I/VME** au niveau de priorité 0 ;
- Aucune interruption autorisée vers la passerelle **MULTIBUS I/VME** depuis le VME ;
- Pas de détection de l'adresse « TRACE »

❑ ADRESSES 08H ET 09H - ACCES 8 ET 16 BITS

Emission d'une interruption du Multibus vers le VME.

Ces adresses servent à stocker le vecteur, le niveau (1 parmi 7 impératifs) et l'autorisation d'émission de l'interruption.

Définition des bits :

Bits D15 à D8 : Vecteur d'interruption

Niveau IT émise	D7	D6	D5	D4	D3	D2	D1
7	1	0	0	0	0	0	0
6	0	1	0	0	0	0	0
5	0	0	1	0	0	0	0
4	0	0	0	1	0	0	0
3	0	0	0	0	1	0	0
2	0	0	0	0	0	1	0
1	0	0	0	0	0	0	1
Pas d'IT émise	0	0	0	0	0	0	0

Le bit D0 = 0 n'autorise pas l'interruption
D0 = 1 autorise l'émission de l'IT

A la mise sous tension, les bits D7 à D0 sont à zéro.

L'IT est émise lors de l'écriture 16 bits du registre ou lors de l'écriture 8 bits du niveau choisi :

Si D0 = 1 (émission autorisée), le niveau utilisé doit être masqué en réception.

Ces registres sont accessibles en relecture.

❑ ADRESSES 0AH - ACCES 8 BITS

Cet octet sert de registre de contrôle pour l'interface vers le MULTIBUS I.

Le bit D0 sert à valider le décodage de la carte MULTIBUS I. Il doit être positionné à 1 après écriture de l'adresse mémoire de la carte MULTIBUS I (adresse de base dans l'espace mémoire).

Ce bit rend la carte active (il est donc possible d'avoir plusieurs passerelles **MULTIBUS I/VME** à la même adresse mémoire, il suffit d'en valider une). Ceci peut être utile lorsque l'on travaille uniquement dans le premier M. Octets du MULTIBUS I.

D0 = Validation passerelle côté MULTIBUS I

D1 = Non significatif

D2, D3 = Choix du châssis VME avec lequel on travaille

D2	D3	
0	0	Châssis VME 1 actif
1	0	Châssis VME 2 actif
0	1	Châssis VME 3 actif
1	1	Châssis VME 4 actif

❑ ADRESSES 0BH - ACCES 8 BITS

Cet octet a 2 fonctions :

◆ *En écriture*

Strobe d'initialisation du bus VME.

Une écriture fictive (DATA non pris en compte) permet d'émettre le signal SYSRESET sur le VME pendant 200ms. **Ce strobe ne réinitialise pas la passerelle MULTIBUS I/VME.**

◆ *En lecture*

ITs utilitaires VME.

La lecture de cet octet permet de savoir quel est l'utilitaire qui a émis une interruption vers le MULTIBUS I et de l'acquitter.

Définition des bits utilitaires lus :

D0 = 1 : Le signal VME ACFAIL a été activé

D1 = 1 : Le signal VME SYSFAIL a été activé

D2 = 1 : Le signal VME BUSERREUR a été activé

D3 = 1 : Un timeout a eu lieu sur le VME

D4 = 1 : Interruption émise acquittée

D5 = : Non utilisé (toujours à 0)

D6 = : Non utilisé (toujours à 0)

D7 = : Un échange a eu lieu sur le bus VME à l'adresse pointée par le registre « TRACE »

❑ ADRESSES 0CH, 0DH, 0EH ET 0FH - ACCES 8 ET 16 BITS

Ces 4 adresses servent à stocker une adresse VME 32 bits.

Lors d'un échange sur le bus VME à l'adresse pointée par le registre « TRACE », une interruption sera générée vers le MULTIBUS I. Le bit D7 du registre 0BH sera positionné à 1. Cela signifie que le MULTIBUS I est prévenu si un accès à l'adresse « TRACE » est effectué sur le VME.

Définition des bits :

- Adresses 0CH et 0DH

Data registre ESPION	D15 ⇒ D8	D7 ⇒ D0
Adresses VME	A31 ⇒ A24	A23 ⇒ A16

- Adresses 0EH et 0FH

Data registre ESPION	D15 ⇒ D8	D7 ⇒ D1 - D0
Adresses VME	A15 ⇒ A8	A7 ⇒ A1 non utilisé

L'interruption due à l'adresse « TRACE » sera déclenchée lors d'un passage à l'adresse en mots de 32 ou 16 bits, ou en octet poids fort ou poids faible.

Ce registre est accessible en écriture et en lecture.

NOTA : Il est impératif d'écrire l'adresse « TRACE » (BASE + en I/O) en premier, puis le bit D0 du registre d'état d'interface VME (06H).

L'adresse « TRACE » sera alors validée, ce qui évitera des décodages erronés.

B.3.3. STRAPS, SWITCHS ET LEDS

❑ CARTE MULTIBUS

◇ Straps :

Sur la partie MULTIBUS I, les straps permettent de positionner :

- Les interruptions vers le MULTIBUS I

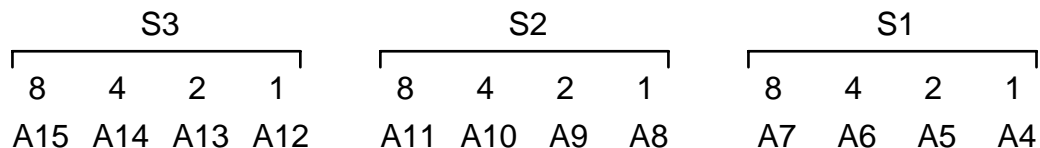
ST4 Niveau IT MULTIBUS Rangée Supérieure Rangée Inférieure	A 0	B 1	C 2	D 3	E 4	F 5	G 6	H 7
	Interruptions VME Interruptions UTILITAIRES							

- Le choix des pages VME ST5
4 à 128K.octets : ST5 positionné ainsi que ST2 sur partie VME
64 à 2M.octets : ST5 non positionné ainsi que ST2 sur partie VME

ST1 = non utilisé
ST3 = strap usine

◇ Switchs :

- Les switchs S1, S2 et S3 permettent de choisir l'adresse de la passerelle **MULTIBUS I/VME** dans l'espace I/O du MULTIBUS I.



Exemple : La carte est livrée configurée à l'adresse de base 1000H.

◇ Led :

- Le led sur la partie MULTIBUS I permet de savoir si la passerelle **MULTIBUS I/VME** est validée, c'est-à-dire décodée dans l'espace mémoire.

❑ CARTE RECEPTEUR VME

ST1 : Transmission du signal « RESET »

ST1 positionné ⇒ Transmission de tous les « RESET » et « RESET » de la passerelle

ST1 non positionné ⇒ Seul le « RESET » généré par écriture fictive est transmis au bus. La passerelle n'est pas initialisée par ce « RESET ».

ST2 : Sélection de la taille de la fenêtre

ST2 positionné ⇒ On peut accéder à un espace mémoire variant de 4K.octets à 128K.octets.

ST2 non positionné ⇒ L'espace mémoire accessible est alors de 64K.octets à 2M.octets.

ST3 à ST6 : Sélection du numéro de châssis

STRAP POSITIONNE SUR :	NUMERO DU CHASSIS
ST6	Châssis n° 1
ST5	Châssis n° 2
ST4	Châssis n° 3
ST3	Châssis n° 4

Le led « AL » indique que la partie MULTIBUS I est en « accès local » (choix du châssis VME).

Le led « CB » allumé indique que la passerelle est contrôleur de bus VME.

Le led « AC » ne s'allume que lorsque la passerelle effectue des accès sur le bus VME.

C. ANNEXE

TABLE DES ADRESSES MODIFIEES

CODE HEXA	ADRESSES MODIFIEES						FONCTIONS
	5	4	3	2	1	0	
3F	H	H	H	H	H	H	Transfert standard en mode superviseur par bloc
3E	H	H	H	H	H	B	Accès standard en mode superviseur au programme
3D	H	H	H	H	B	H	Accès standard en mode superviseur aux données
3C	H	H	H	H	B	B	Réservé
3B	H	H	H	B	H	H	Transfert standard en mode non privilégié par bloc
3A	H	H	H	B	H	B	Accès standard en mode non privilégié au programme
39	H	H	H	B	B	H	Accès standard en mode non privilégié aux données
38	H	H	H	B	B	B	Réservé
37	H	H	B	H	H	H	Réservé
36	H	H	B	H	H	B	Réservé
35	H	H	B	H	B	H	Réservé
34	H	H	B	H	B	B	Réservé
33	H	H	B	B	H	H	Réservé
32	H	H	B	B	H	B	Réservé
31	H	H	B	B	B	H	Réservé
30	H	H	B	B	B	B	Réservé
2F	H	B	H	H	H	H	Réservé
2E	H	B	H	H	H	B	Réservé
2D	H	B	H	H	B	H	Accès court en mode superviseur
2C	H	B	H	H	B	B	Réservé
2B	H	B	H	B	H	H	Réservé
2A	H	B	H	B	H	B	Réservé
29	H	B	H	B	B	H	Accès court en mode non privilégié
28	H	B	H	B	B	B	Réservé
27	H	B	B	H	H	H	Réservé
26	H	B	B	H	H	B	Réservé
25	H	B	B	H	B	H	Réservé
24	H	B	B	H	B	B	Réservé
23	H	B	B	B	H	H	Réservé
22	H	B	B	B	H	B	Réservé
21	H	B	B	B	B	H	Réservé
20	H	B	B	B	B	B	Réservé

B = Niveau Bas

H = Niveau Haut

CODE HEXA	ADRESSES MODIFIEES						FONCTIONS
	5	4	3	2	1	0	
1F	B	H	H	H	H	H	Définie par l'utilisateur
1E	B	H	H	H	H	B	Définie par l'utilisateur
1D	B	H	H	H	B	H	Définie par l'utilisateur
1C	B	H	H	H	B	B	Définie par l'utilisateur
1B	B	H	H	B	H	H	Définie par l'utilisateur
1A	B	H	H	B	H	B	Définie par l'utilisateur
19	B	H	H	B	B	H	Définie par l'utilisateur
18	B	H	H	B	B	B	Définie par l'utilisateur
17	B	H	B	H	H	H	Définie par l'utilisateur
16	B	H	B	H	H	B	Définie par l'utilisateur
15	B	H	B	H	B	H	Définie par l'utilisateur
14	B	H	B	H	B	B	Définie par l'utilisateur
13	B	H	B	B	H	H	Définie par l'utilisateur
12	B	H	B	B	H	B	Définie par l'utilisateur
11	B	H	B	B	B	H	Définie par l'utilisateur
10	B	H	B	B	B	B	Définie par l'utilisateur
0F	B	B	H	H	H	H	Transfert étendu en mode superviseur par bloc
0E	B	B	H	H	H	B	Accès étendu en mode superviseur au programme
0D	B	B	H	H	B	H	Accès étendu en mode superviseur aux données
0C	B	B	H	H	B	B	Réservé
0B	B	B	H	B	H	H	Transfert étendu en mode non privilégié par bloc
0A	B	B	H	B	H	B	Accès étendu en mode non privilégié au programme
09	B	B	H	B	B	H	Accès étendu en mode non privilégié aux données
08	B	B	H	B	B	B	Réservé
07	B	B	B	H	H	H	Réservé
06	B	B	B	H	H	B	Réservé
05	B	B	B	H	B	H	Réservé
04	B	B	B	H	B	B	Réservé
03	B	B	B	B	H	H	Réservé
02	B	B	B	B	H	B	Réservé
01	B	B	B	B	B	H	Réservé
00	B	B	B	B	B	B	Réservé

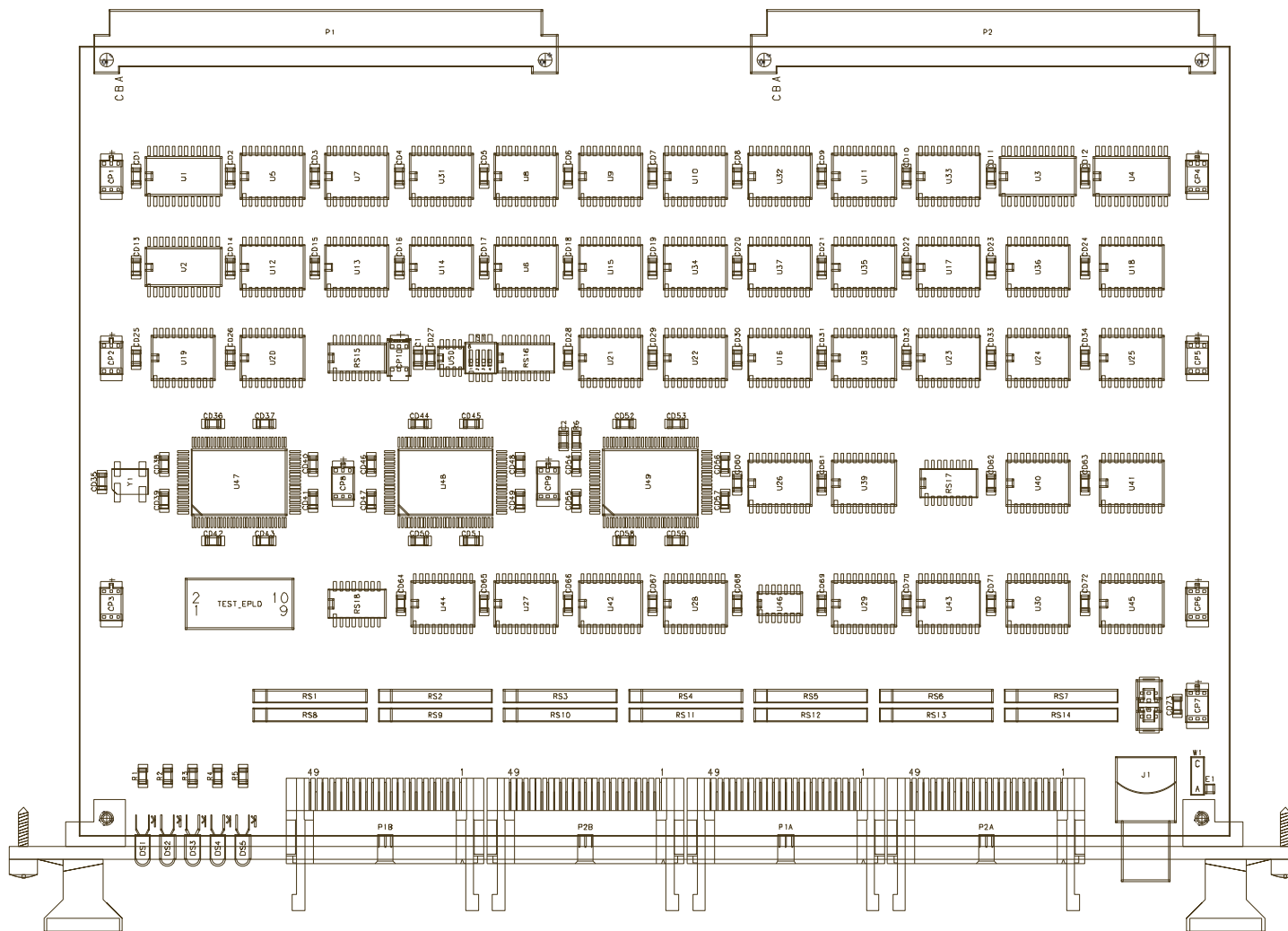
B = Niveau Bas

H = Niveau Haut

D. PLANS

D.1. PLAN D'EQUIPEMENT DE LA CARTE « EMETTEUR » MULBITUS I

D.2. PLAN D'EQUIPEMENT DE LA CARTE « RECEPTEUR » VME



INDICE DE REVISION: C,O

REAL/REV: _____ LE: _____ VISA: _____

APPROUVE: _____ LE: _____ VISA: _____

CREATION DU DOCUMENT: A,O

REAL/REV: _____ REEL _____ LE: 02/03/1988

Ech: 1

PRODUIT: ADAS

ZAC - 9, rue Georges Besse
78330 FONTENAY LE FLEURY - FRANCE
Tel: (33) 1 30 58 90 09 - Fax: (33) 1 30 58 21 33
e-mail: infoadas@adas.fr - http://www.adas.fr



FAMILLE: VME

PLAN: 1/1

PLAN D'EQUIPEMENT

NUMERO :
RV800