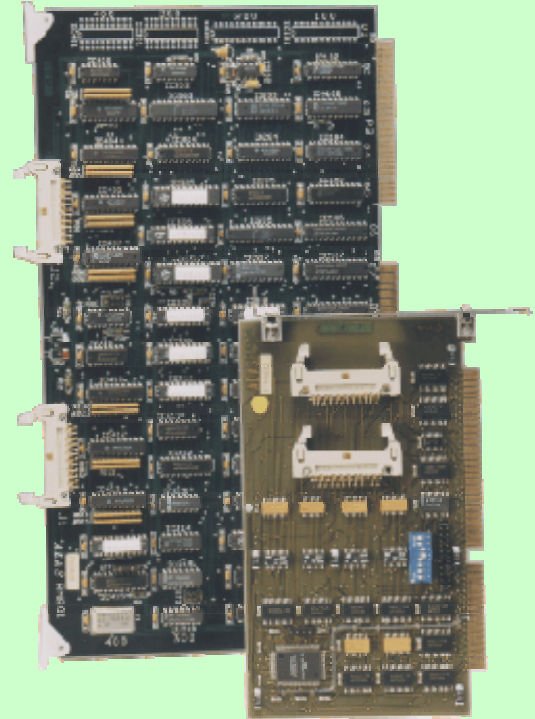


## Features

- ✔ Interface between PC/AT and 1 or 2 MULTIBUS I  
*Interface entre PC/AT et 1 ou 2 MULTIBUS I*
- ✔ 4Kb to 2Mb window on 16M.bytes  
*Fenêtre de 4Ko à 2Mo sur 16M.octets*
- ✔ A24/D16 decoding on MULTIBUS I  
*Décodage A24/D16 sur MULTIBUS I*
- ✔ Transfer rate  $\geq$  1M.words/s
- ✔ Interrupts management  
*Gestion des interruptions*
- ✔ IT send to MULTIBUS I  
*Emission d'IT vers MULTIBUS I*
- ✔ Multiprocessor structure  
*Structure multiprocesseurs*
- ✔ MULTIBUS I and PC/AT standards



## Description

This gateway has been designed for dialogue between two items of equipment having different electrical and mechanical standards. It enables **MULTIBUS I** boards to be used in a PC/AT environment.

The **MULTIBUS I** boards are seen from the PC as resident boards. Full management of the **MULTIBUS I** enables the gateway to be used alone, or with other CPU boards in the rack. The interface comprises two boards:

- ◆ One board which is inserted in a slot of the PC/AT or compatible, the "transmitter", thus providing signal exchanges between the two systems ;
- ◆ The second board is inserted in a slot of the MULTIBUS I rack with parallel priorities: the "receiver".

Seen from the PC, **the MULTIBUS I** is a "memory window" or a "memory and I/O window", of 4Ko to 2Mo as required, which can be shifted within the 16M.bytes of the **MULTIBUS I**. One PC "TRANSMITTER" board can perform exchanges with two **MULTIBUS I** "RECEIVERS".

*Cette passerelle a été étudiée pour assurer le dialogue entre deux équipements ayant des standards électriques et mécaniques différents. Elle permet d'utiliser des cartes **MULTIBUS I** dans un environnement PC/AT.*

*Les cartes **MULTIBUS I** sont vues du PC comme des cartes résidentes. La gestion complète du **MULTIBUS I** autorise l'utilisation de la passerelle seule, ou avec d'autres cartes CPUs dans le châssis. L'interface est composée de deux cartes :*

- ◆ *Une carte venant s'insérer dans un slot du PC/AT ou compatible, l'émetteur", assurant ainsi les échanges des signaux entre les deux systèmes ;*
- ◆ *La seconde carte s'insère dans un slot du châssis MULTIBUS I avec priorités parallèles, le "récepteur".*

*Vu du PC, le **MULTIBUS I** est une "fenêtre mémoire" ou une "fenêtre mémoire et I/O", de 4Ko à 2Mo au choix, que l'on peut déplacer dans les 16M.octets du **MULTIBUS I**. Une carte "EMETTEUR" PC peut assurer des échanges avec deux "RECEPTEURS" **MULTIBUS I**.*

# PCM 801

## SPECIFICATIONS

(t = 25°C)

<b>TYPE</b>	PC / AT - MULTIBUS I GATEWAY
<b>PC TRANSMITTER</b> <ul style="list-style-type: none"><li>- Programming</li><li>- Space</li><li>- Memory window</li><li>- AT bus exchanges</li><li>- Configuration</li></ul>	In the I/O space of the PC 16 bytes in I/O 4Kb to 2Mb in 2n in the RAM space 8 or 16 bits Via software
<b>MULTIBUS I RECEIVER</b> <ul style="list-style-type: none"><li>- Type</li><li>- Multiprocessor management</li><li>- Standard</li><li>- Decoding</li><li>- Bus clock</li><li>- Transfers</li><li>- Mode</li><li>- Interrupt to PC</li> <li>- Interrupts</li><li>- IT generation</li></ul>	Controller board on the MULTIBUS I Yes, with backplane provided with parallel priorities MULTIBUS I A24/D16 10MHz 8 or 16 bits RWD (release after each exchange) MULTIBUS I timeout PC timeout Management of 8 interrupt levels to one PC level Generation of an interrupt on one of the 8 levels of the MULTIBUS I
<b>EXCHANGES</b> <ul style="list-style-type: none"><li>- Transfers</li><li>- Rate</li><li>- Communication support</li><li>- Maximum connecting cable length</li><li>- Couplers</li></ul>	8 or 16 bits 1M.words/s (2M.bytes) 2 micro-ribbon cables, 50 pins adapted (l = 1.5 m) 15 m One PC board can manage two MULTIBUS I racks
<b>PRESENTATION</b> <ul style="list-style-type: none"><li>- PC/AT board</li><li>- MULTIBUS I board (in mm)</li></ul>	Short board, 16-bit bus, 1 slot 305 x 171.5 x 10
<b>ENVIRONMENT</b> <ul style="list-style-type: none"><li>- Operating temperature</li><li>- Storage temperature</li><li>- Relative humidity</li></ul>	0°C to + 60°C - 10°C to + 70°C 90 % (without condensation)

## HOW TO ORDER?

## PCM 801

### KIT COMPRISING :

1 **PC/AT** "transmitter" board Ref. : EPC800  
1 **MULTIBUS I** "receiver" board Ref. : RM1PC

Ribbon WR 310/XXX ⇒ Order separately

Length (in mm) of the ribbon



**NOTES :**

# PCM 801

Kit including a « TRANSMITTER » board and a « RECEIVER » board

## CONTENTS SOMMAIRE

<b>A.</b>	<b>DESCRIPTION .....</b>	<b>6</b>
<b>A.1.</b>	<b>OVERVIEW .....</b>	<b>6</b>
	<i>GENERALITES .....</i>	<i>6</i>
<b>A.2.</b>	<b>STANDARD CONFIGURATION .....</b>	<b>6</b>
<b>A.3.</b>	<b>DESCRIPTION OF GATEWAY PROGRAMMING.....</b>	<b>8</b>
	<i>DESCRIPTIF DE PROGRAMMATION D'UNE PASSERELLE .....</i>	<i>8</i>
<b>B.</b>	<b>BOARD « HARDWARE » CONFIGURATION STEPS.....</b>	<b>9</b>
	<i>CONFIGURATION "MATERIELLE" DE LA CARTE .....</i>	<i>9</i>
<b>B.1.</b>	<b>TRANSMITTER BOARD.....</b>	<b>9</b>
	<i>CARTE EMETTEUR.....</i>	<i>9</i>
	<b>B.1.1. CONFIGURING I/O BASE ADDRESS .....</b>	<b>9</b>
	<i>CONFIGURATION DE L'ADRESSE DE BASE I/O .....</i>	<i>9</i>
	<b>B.1.2. CONFIGURING THE INTERRUPTS .....</b>	<b>10</b>
	<i>CONFIGURATION DES INTERRUPTIONS .....</i>	<i>10</i>
	<b>B.1.3. OTHER STRAPS TO BE SET .....</b>	<b>11</b>
	<i>AUTRES STRAPS A CONFIGURER.....</i>	<i>11</i>
<b>B.2.</b>	<b>SELECTING FRAME NUMBER ON MULTIBUS I RECEIVER BOARD .....</b>	<b>12</b>
	<i>SELECTION DU NUMERO DE CHASSIS SUR LA CARTE RECEPTEUR MULTIBUS I .....</i>	<i>12</i>
<b>B.3.</b>	<b>SELECTING THE TIMEOUT ON THE MULTIBUS I RECEIVER.....</b>	<b>12</b>
	<i>SELECTION DE LA DUREE DU TIMEOUT SUR LE RECEPTEUR MULTIBUS I .....</i>	<i>12</i>
<b>B.4.</b>	<b>SELECTING MEMORY AND I/O WINDOW SIZE ON THE MULTIBUS I RECEIVER.....</b>	<b>13</b>
	<i>SELECTION DE LA TAILLE DE LA FENETRE DE L'ESPACE MEMOIRE ET I/O SUR LE RECEPTEUR MULTIBUS I .....</i>	<i>13</i>
<b>B.5.</b>	<b>SELECTING THE BUS CONTROLLER/ NON-CONTROLLER FUNCTION ON MULTIBUS I OF THE MULTIBUS I RECEIVER BOARD .....</b>	<b>13</b>
	<i>SELECTION DE LA FONCTION CARTE CONTROLEUR OU NON-CONTROLEUR DE BUS SUR LE MULTIBUS I DE LA CARTE RECEPTEUR MULTIBUS I .....</i>	<i>13</i>

<b>B.6.</b>	<b>TRANSMITTING THE RESET SIGNAL</b> .....	<b>14</b>
	<i>TRANSMISSION DU SIGNAL RESET</i> .....	<b>14</b>
<b>B.7.</b>	<b>INSTALLING THE BOARDS INTO THE FRAMES</b> .....	<b>14</b>
	<i>MISE EN PLACE DES CARTES DANS LES CHASSIS</i> .....	<b>14</b>
<b>B.8.</b>	<b>PROGRAMMING</b> .....	<b>15</b>
	<i>PROGRAMMATION</i> .....	<b>15</b>
<b>C.</b>	<b>MEMORY AND I/O EXCHANGES</b> .....	<b>16</b>
	<i>ECHANGES MEMOIRE ET I/O</i> .....	<b>16</b>
<b>C.1.</b>	<b>SETTING THE BASE ADDRESS IN THE PC MEMORY WINDOW</b> .....	<b>17</b>
	<i>DEFINITION DE L'ADRESSE DE BASE DE LA FENETRE MEMOIRE DANS LE PC</i> .....	<b>17</b>
<b>C.2.</b>	<b>CONFIGURING THE EXCHANGES</b> .....	<b>18</b>
	<i>CONFIGURATION DES ECHANGES</i> .....	<b>18</b>
<b>C.3.</b>	<b>SETTING THE MEMORY OR I/O BASE ADDRESS IN THE RECEIVER FRAME, AND SETTING THE WINDOW SIZE</b> .....	<b>20</b>
	<i>DEFINITION DE L'ADRESSE DE BASE MEMOIRE OU I/O DANS LE CHASSIS RECEPTEUR ET DEFINITION DE LA TAILLE DE LA FENETRE</i> .....	<b>20</b>
<b>D.</b>	<b>INTERRUPTS</b> .....	<b>23</b>
	<i>INTERRUPTIONS</i> .....	<b>23</b>
<b>D.1.</b>	<b>SENDING AND RECEIVING INTERRUPTS</b> .....	<b>23</b>
	<i>EMISSION RECEPTION D'INTERRUPTIONS</i> .....	<b>23</b>
<b>D.2.</b>	<b>THE BASE + 04H ADDRESS I/O REGISTER</b> .....	<b>23</b>
	<i>REGISTRE I/O D'ADRESSE BASE +04H</i> .....	<b>23</b>
<b>D.3.</b>	<b>THE BASE + 05H ADDRESS I/O REGISTER</b> .....	<b>24</b>
	<i>REGISTRE I/O D'ADRESSE BASE +05H</i> .....	<b>24</b>
<b>D.4.</b>	<b>THE BASE + 08H ADDRESS I/O REGISTER (8-bit access)</b> .....	<b>25</b>
	<i>REGISTRE I/O D'ADRESSE BASE +08H (accès 8 bits)</i> .....	<b>25</b>
<b>D.5.</b>	<b>THE BASE + 0BH ADDRESS I/O REGISTER</b> .....	<b>26</b>
	<i>REGISTRE I/O D'ADRESSE BASE +0BH</i> .....	<b>26</b>
<b>D.6.</b>	<b>THE BASE + 0CH THROUGH BASE + 0FH ADDRESS I/O REGISTER</b> .....	<b>26</b>
	<i>REGISTRE I/O D'ADRESSE BASE +0CH A BASE +0FH</i> .....	<b>26</b>

<b>E.</b>	<b>ADDITIONAL FUNCTION</b> .....	<b>28</b>
<b>E.1.</b>	<b>RESET</b> .....	<b>28</b>
<b>F.</b>	<b>SUMMARY</b> .....	<b>29</b>
	<i>RECAPITULATIF</i> .....	<b>29</b>
<b>F.1.</b>	<b>SUMMARY OF STRAPS AND LEDS</b> .....	<b>29</b>
	<i>RECAPITULATIF DES STRAPS ET LEDS</i> .....	<b>29</b>
<b>F.1.1.</b>	<b>PC TRANSMITTER BOARD</b> .....	<b>29</b>
	<i>CARTE EMETTEUR PC</i> .....	<b>29</b>
<b>F.1.2.</b>	<b>MULTIBUS I RECEIVER BOARD</b> .....	<b>30</b>
	<i>CARTE RECEPTEUR MULTIBUS I</i> .....	<b>30</b>
<b>G.</b>	<b>DRAWINGS</b> .....	<b>32</b>
	<i>PLANS</i> .....	<b>32</b>
<b>G.1.</b>	<b>ASSEMBLY DRAWING OF THE PC TRANSMITTER BOARD</b> .....	<b>32</b>
	<i>PLAN D'EQUIPEMENT DE LA CARTE EMETTEUR PC</i> .....	<b>32</b>
<b>G.2.</b>	<b>ASSEMBLY DRAWING OF THE MULTIBUS I RECEIVER BOARD</b> ...	<b>32</b>
	<i>PLAN D'EQUIPEMENT DE LA CARTE RECEPTEUR MULTIBUS I</i> .....	<b>32</b>

## A. DESCRIPTION

### A.1. OVERVIEW GENERALITES

The word "gateway" refers to a set of two or three boards linked together by micro flat cables.

This set is made of:

- a PC-compatible transmitter board
- one or two **MULTIBUS**-compatible receivers
- micro flat cables linking these boards together.

The installation of these boards is shown on the block diagram on next page.

Thanks to this structure, straightforward and rapid communications are now made possible between a number of equipments with the same or different electrical standards.

This enables one to read or write directly into the memory space of a receiver frame from the transmitter frame.

The transfer rate is 2 Megabytes per second.

This also enables one to handle interrupts between the various transmitter and receiver frames.

*Le terme "passerelle" représente un ensemble de deux à trois cartes reliées entre elles par des micro-nappes.*

Cet ensemble est constitué :

- d'une carte émetteur au format PC
- d'une à deux cartes récepteurs au format **MULTIBUS**
- de câbles micro-nappes interconnectant ces cartes.

*Le synoptique fourni à la page suivante décrit l'installation de ces cartes.*

*Grâce à cette structure, il est maintenant possible de dialoguer d'une façon simple et rapide entre plusieurs équipements ayant des standards électriques et mécaniques différents ou identiques.*

*On peut ainsi lire ou écrire directement dans l'espace mémoire d'un châssis récepteur à partir du châssis émetteur.*

*Le taux de transfert est de 2 Méga octets par seconde.*

*Il devient aussi possible de gérer les interruptions entre les différents châssis émetteur et récepteur.*

### A.2. STANDARD CONFIGURATION

A standard gateway is made of:

- one transmitter board
- one receiver board

To link together other receiver boards or to obtain cables in a different length, please consult us.

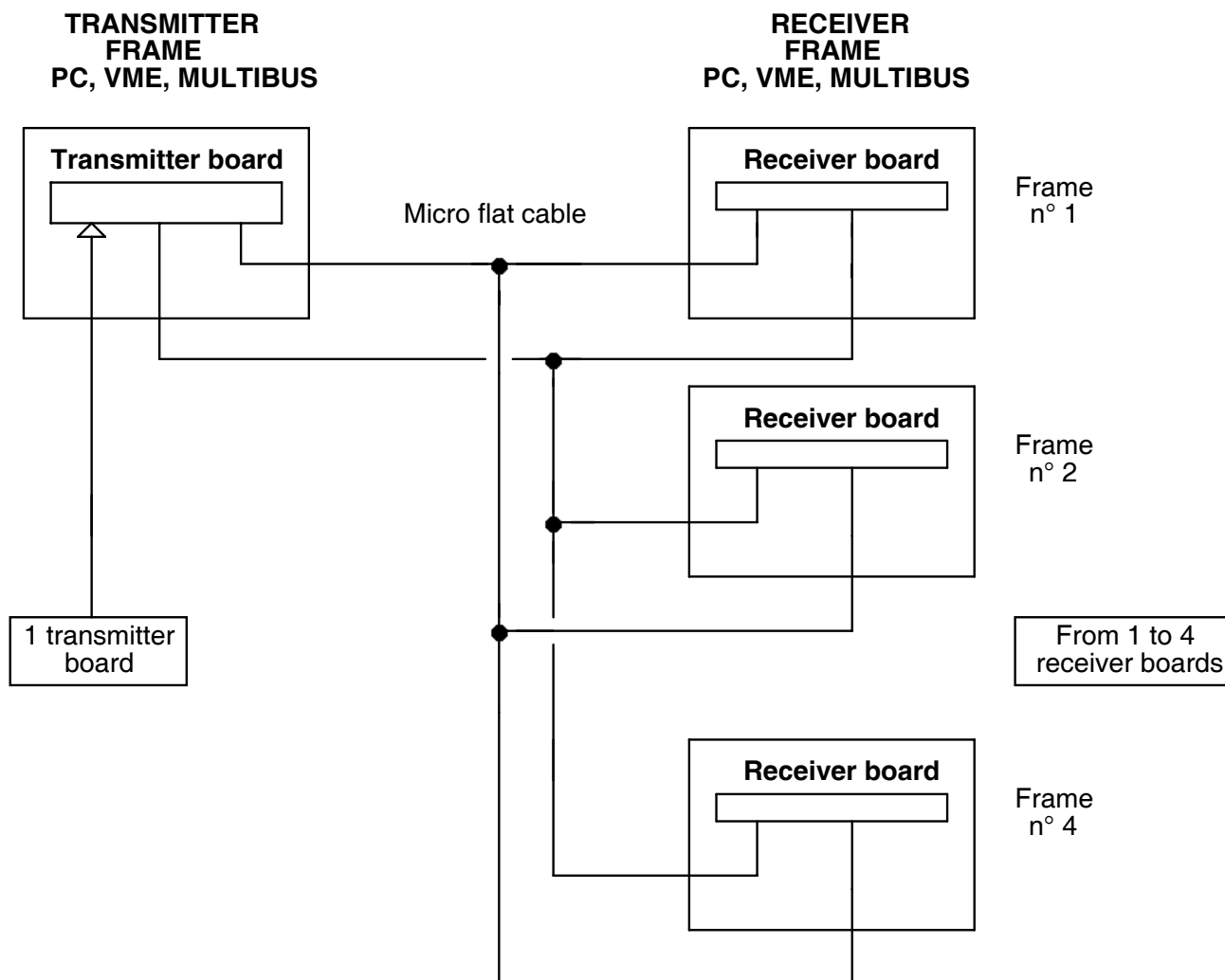
Une passerelle standard est constituée :

- d'une carte émetteur
- d'une carte récepteur

*Pour interconnecter d'autres cartes récepteurs ou pour obtenir des câbles d'une longueur différente, veuillez nous consulter.*

<b>PCM 801 - Edition 4 – 20/23</b> <b>« TRANSMITTER » board : EPC800 Rev.E + « RECEIVER » board : RM801</b>
--

## BLOCK DIAGRAM FOR INSTALLING THE GATEWAY BOARDS SYNOPTIQUE D'INSTALLATION DES CARTES PASSERELLES



### Note :

- The max. number of receiver frames depends on the type of gateway used.
- The receiver board may be:
  - a bus controller board (no need for a CPU)
  - a bus non-controller board.

### Remarque :

- Le nombre maximum de châssis récepteur varie suivant le type de passerelle utilisé.
- La carte récepteur peut-être :
  - contrôleur de bus (plus besoin de CPU)
  - non-contrôleur de bus.

### A.3. DESCRIPTION OF GATEWAY PROGRAMMING

#### DESCRIPTIF DE PROGRAMMATION D'UNE PASSERELLE

Before using a gateway, you need to configure its « hardware » then to program it using the available I/O registers.

The « hardware » configuration steps are described in Section « B ».

Refer to the sections « MEMORY AND I/O EXCHANGES », « INTERRUPTS », and « ADDITIONAL FUNCTION » for the sequence in which the various I/O registers are to be used and programmed.

*Avant d'utiliser une passerelle, il faut la configurer d'une façon "hardware" puis la programmer à l'aide des registres accessibles en I/O.*

*Le chapitre "B" décrit la configuration "hardware".*

*Les chapitres "ECHANGES MEMOIRE ET I/O, INTERRUPTS, FONCTION SUPPLEMENTAIRE" définissent l'ordre d'utilisation et de programmation des différents registres I/O.*

### REGISTERS

REGISTER ADDRESS	PURPOSE	SECTION
Base + 00H and 01H	Base address in the PC memory window	EXCHANGES, MEMORIES AND I/O
Base + 0AH	Exchange configuration	
Base + 02H et 03H	Window size and address in the receiver	
Base + 04H	Interrupt enabling	INTERRUPTS
Base + 05H	Interrupt status	"
Base + 08H	Interrupt acknowledgement	"
Base + 0BH	Receiver timeout acknowledgement	"
Base + 0CH et 0FH	Interrupt acknowledgement in the receiver	"
Base + 06H et 07H	Reset	ADDITIONAL FUNCTION

## B. BOARD « HARDWARE » CONFIGURATION STEPS

### CONFIGURATION «MATERIELLE» DE LA CARTE

The following steps describe the sequence of operations for installing and implementing the gateway boards.

*Les paragraphes qui suivent décrivent l'ordre d'installation et de mise en oeuvre des cartes passerelles.*

### B.1. TRANSMITTER BOARD

#### CARTE EMETTEUR

#### B.1.1. CONFIGURING I/O BASE ADDRESS

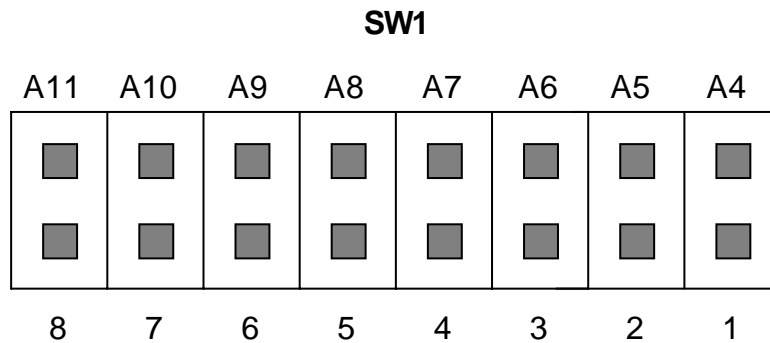
##### CONFIGURATION DE L'ADRESSE DE BASE I/O

The transmitter board includes switches for setting the addresses, under SW1. These switches set the I/O base address at which the board will be recognized.

*La carte émetteur possède des switchs de configuration d'adresses notés SW1. Ils définissent l'adresse de base I/O à laquelle la carte sera reconnue.*

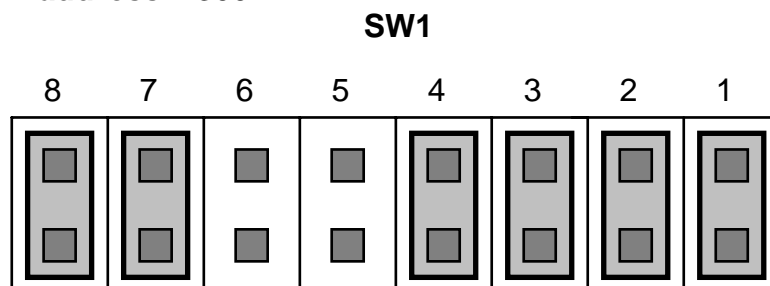
The connections are as follows:

La correspondance est la suivante :



An « OFF » switch is used to set the address corresponding to level 1.  
*Un switch OFF positionne l'adresse correspondante au niveau 1.*

**Example of low address:** 300H



- SW1-5 and SW1-6 are set to OFF
- All other switches are set to ON.

- SW1-5 et SW1-6 sur OFF
- Tous les autres sont positionnés sur ON.

**NOTE :** The board is normally shipped with the I/O base address Hex 300

**REMARQUE :** Par défaut la carte est livrée avec l'adresse de base I/O 300 Hex.

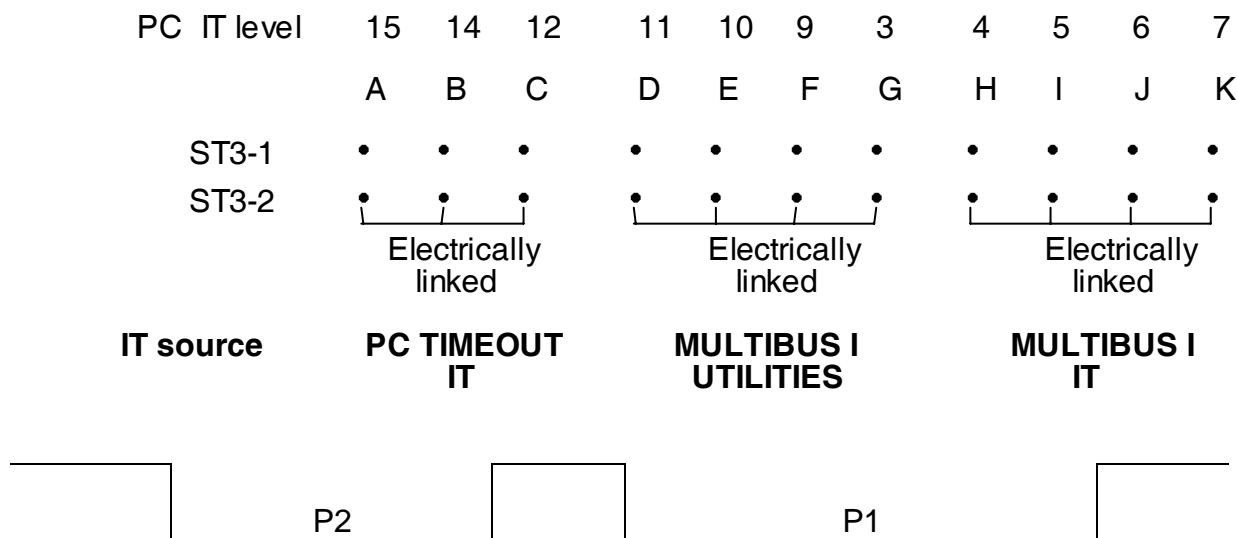
**B.1.2. CONFIGURING THE INTERRUPTS**  
*CONFIGURATION DES INTERRUPTIONS*

- The gateway handles three sources of interrupts :
  - The first is generated by those interrupts issuing from the receiver bus (IT0 through IT7).
  - The second issues from the utility register of the receiver bus (IT in the event of an error).
  - The third is the gateway-generated timeout.
  
- All these interrupts may be :
  - Disabled by removing the straps from ST3.
  - Enabled by linking the interrupt source(s) to the level(s) selected.

- *Il existe trois sources d'interruptions gérées par la passerelle :*
  - *La première source d'interruption est celle générée par les interruptions provenant du bus récepteur (IT0 à IT7).*
  - *La seconde provient du registre utilitaire du bus récepteur (IT en cas d'erreur).*
  - *La troisième est celle du timeout programmée par la passerelle.*
  
- *Toutes ces interruptions peuvent être :*
  - *Inhibées en enlevant les cavaliers de ST3.*
  - *Activées en reliant le ou les sources d'interruption sur le ou les niveaux choisis.*

The following diagram shows the interrupt source layout compared to the PC interrupt levels on ST3 (for the transmitter board).

*Le schéma suivant décrit la disposition des sources des interruptions par rapport au niveau des interruptions PC sur ST3 (carte émetteur).*



**Example:**

To select the following interrupts:

- ❑ **PC** timeout IT sent back to IT12 level in the PC.
- ❑ **MULTIBUS I** utility IT sent back to level IT11 in the PC.
- ❑ **MULTIBUS I** IT sent back to level IT10 in the PC.

Connect: ST3-1-C to ST3-2-C  
          ST3-1-D to ST3-2-D  
          ST3-1-E to ST3-2-H

**NOTE:** The board is normally shipped with no strap set.

**Exemple :**

Pour sélectionner les interruptions suivantes :

- ❑ *IT* timeout **PC** renvoyée sur le niveau IT12 dans le PC.
- ❑ *IT* utilitaire **MULTIBUS I** renvoyée sur le niveau IT11 dans le PC.
- ❑ *IT* **MULTIBUS I** renvoyée sur le niveau IT 10 dans le PC

Il faut relier ST3-1-C à ST3-2-C  
                  ST3-1-D à ST3-2-D  
                  ST3-1-E à ST3-2-H

**REMARQUE :** Par défaut, la carte est livrée sans cavalier.

**B.1.3. OTHER STRAPS TO BE SET**  
*AUTRES STRAPS A CONFIGURER*

- ❑ **ST2** must always be set.
- ❑ **ST1** Decoding space :  
    OFF = 4K through 128 Kbytes  
    ON = 64K through 2Mbytes

- ❑ **ST2** doit toujours être mis.
- ❑ **ST1** Espace de décodage :  
    OFF = 4K à 128Ko  
    ON = 64K à 2Mo

**B.2. SELECTING FRAME NUMBER ON MULTIBUS I RECEIVER BOARD**  
**SELECTION DU NUMERO DE CHASSIS SUR LA CARTE RECEPTEUR MULTIBUS I**

A **PC/AT / MULTIBUS I** gateway set accepts at least two receivers. The frame number is therefore 1 or 2.

*Un ensemble passerelle PC/AT / MULTIBUS I reçoit au maximum deux récepteurs. Le numéro du châssis est donc 1 ou 2.*

You select it by means of the ST5 strap, in the following way :

*La sélection se fait par l'intermédiaire du strap ST5 de la façon suivante :*

ST5 set to	Frame number
1	n° 1
2	Not selectable
4	n° 2
8	Not selectable

When the receiver board is selected, the green DS1 led comes on.  
*Lorsque la carte récepteur est sélectionnée, la led verte DS1 est allumée.*

**B.3. SELECTING THE TIMEOUT ON THE MULTIBUS I RECEIVER**  
**SELECTION DE LA DUREE DU TIMEOUT SUR LE RECEPTEUR MULTIBUS I**

The timeout is generated by the receiver board when no XACK is sent back following a memory or I/O access.

*Le timeout est généré par la carte récepteur lorsqu'un accès mémoire ou I/O ne renvoi pas de XACK.*

The timeout is set using ST3. The chart below shows the various settings.

*La durée du timeout est réglable grâce à ST3. Le tableau ci-dessous donne les différents temps obtenus.*

ST3 set to	Timeout
1	10µs
2	100µs
4	2ms

The board is normally shipped with a timeout de 10µs.  
 For further information regarding the timeout, please refer to sections « MEMORY AND I/O EXCHANGES » and « INTERRUPTS ».

*Par défaut, la carte est livrée avec un timeout de 10µs.*

*Pour de plus amples renseignements concernant le time out, veuillez vous reporter aux chapitres "ECHANGES MEMOIRE ET I/O" et "INTERRUPTIONS".*

## B.4. SELECTING MEMORY AND I/O WINDOW SIZE ON THE MULTIBUS I RECEIVER

### SELECTION DE LA TAILLE DE LA FENETRE DE L'ESPACE MEMOIRE ET I/O SUR LE RECEPTEUR MULTIBUS I

This is a « hardware » selection step which, in connection with the window size programming register, enables one to select the soze of memory or I/O area to be accessed.

This is done by using the ST4 strap.

#### ST4 set to « ON » :

Provides access to a memory space of 4 Kbytes through 128 Kbytes, or to an I/O space of 4 Kbytes through 64 Kbytes.

#### ST4 removed « OFF » :

The accessible memory space is then 64 Kbytes or 128 Kbytes. The I/O space remains 64 Kbytes.

**Note** : The DS2 red led comes on when you perform exchanges between the **PC** and **MULTIBUS**.

*Cette sélection est une sélection "hardware" qui, en corrélation avec le registre de programmation de la taille de la fenêtre, permet de définir la dimension de la zone mémoire ou I/O à accéder.*

*Le strap ST4 réalise cette fonction.*

#### ST4 positionné "ON" :

*On peut accéder un espace mémoire variant de 4K octets, 128K octets ou à un espace I/O de 4K octets à 64K octets.*

#### ST4 enlevé "OFF" :

*L'espace mémoire accessible est alors de 64K octets ou 128K octets. Par contre, l'espace I/O reste de 64K octets.*

**Remarque** : Lorsque des échanges sont réalisés entre le **PC** et le **MULTIBUS**, la led rouge DS2 est allumée.

## B.5. SELECTING THE BUS CONTROLLER/ NON-CONTROLLER FUNCTION ON MULTIBUS I OF THE MULTIBUS I RECEIVER BOARD

### SELECTION DE LA FONCTION CARTE CONTROLEUR OU NON-CONTROLEUR DE BUS SUR LE MULTIBUS I DE LA CARTE RECEPTEUR MULTIBUS I

The receiver board controls the bus when :

- ST7 is set. The board sends a BCLK signal to the **MULTIBUS I** frame.
- ST6 is set. The board sends the CCLK signal to the **MULTIBUS I** frame.

To switch the board to the « bus non-controller » function, only remove ST6 et ST7 (and have BCLK et CCLK sent by another board).

The board is normally shipped as a bus controller, with ST6 and ST7 straps set.

La carte récepteur peut être contrôleur de bus lorsque :

- ST7 est positionné. Dans ce cas, la carte génère le signal BCLK sur le châssis **MULTIBUS I**.
- ST6 est positionné. Le signal CCLK est alors envoyé sur le châssis **MULTIBUS I**.

*Pour rendre la carte non-contrôleur de bus, il suffit d'enlever ST6 et ST7 (dans ce cas BCLK et CCLK doivent être générés par une autre carte).*

*Par défaut, la carte est livrée en mode contrôleur de bus ST6 et ST7 positionné.*

## **B.6. TRANSMITTING THE RESET SIGNAL**

### **TRANSMISSION DU SIGNAL RESET**

There exist three « RESET » sources on the receiver board.

- one « RESET » that is generated when the board is switched on.
- one "RESET" issuing from the PC.
- one "RESET" that is generated by a fictitious write-access in the base +6 or +7 address register.

All three reset signals are sent when ST1 is set. We advise you to select this configuration when the receiver board is a bus controller.

When ST1 is not set, only the reset obtained by a fictitious 8-bit write-access in the base +8 or base +7 I/O register will be active. We advise you to select this configuration for bus non-controller receiver boards.

The board is normally shipped with the ST1 strap set.

*Sur la carte récepteur il existe trois sources de "RESET".*

- *un "RESET" généré lors de la mise sous tension de la carte.*
- *un "RESET" provenant du PC.*
- *un "RESET" généré par une écriture fictive dans le registre d'adresse base +6 ou base +7.*

*Tous ces signaux d'initialisation sont transmis lorsque ST1 est positionné. Cette configuration est conseillée lorsque la carte récepteur est contrôleur de bus.*

*Avec ST1 non positionné, seul le reset généré par une écriture fictive, en 8 bits dans le registre I/O base +8 ou base +7, est actif. Cette configuration est conseillée dans le cas d'une carte récepteur non-contrôleur de bus.*

*Par défaut, la carte est livrée avec ST1 positionné.*

## **B.7. INSTALLING THE BOARDS INTO THE FRAMES**

### **MISE EN PLACE DES CARTES DANS LES CHASSIS**

The transmitter board and the receiver board are linked through two micro flat cables 1.5 m for the standard models.

Make sure to link J1 (transmitter board) to J1 (receiver board), and J2 (transmitter board) to J2 (receiver board).

To link additional receiver boards, please consult us.

*La liaison entre la carte émetteur et la carte récepteur est réalisée à l'aide de deux câbles en micro-nappe d'une longueur de 1,5m en version standard.*

*Il faut veiller à relier J1 de la carte émetteur J1 de la carte récepteur de même que J2 de la carte émetteur doit être reliée sur J2 de la carte récepteur.*

*La liaison avec d'autres cartes récepteur est réalisable. Dans ce cas, veuillez nous consulter.*

## **B.8. PROGRAMMING**

### **PROGRAMMATION**

Once you have completed the « hardware » configuration and installation steps, the boards are ready to be programmed and used.

The purpose of the various registers to be programmed will be explained in the next pages.

*Après la configuration "hardware" et l'installation des cartes, il est maintenant possible de programmer et d'utiliser ces cartes.*

*Les chapitres suivants décrivent le rôle des différents registres à programmer.*

## C. MEMORY AND I/O EXCHANGES

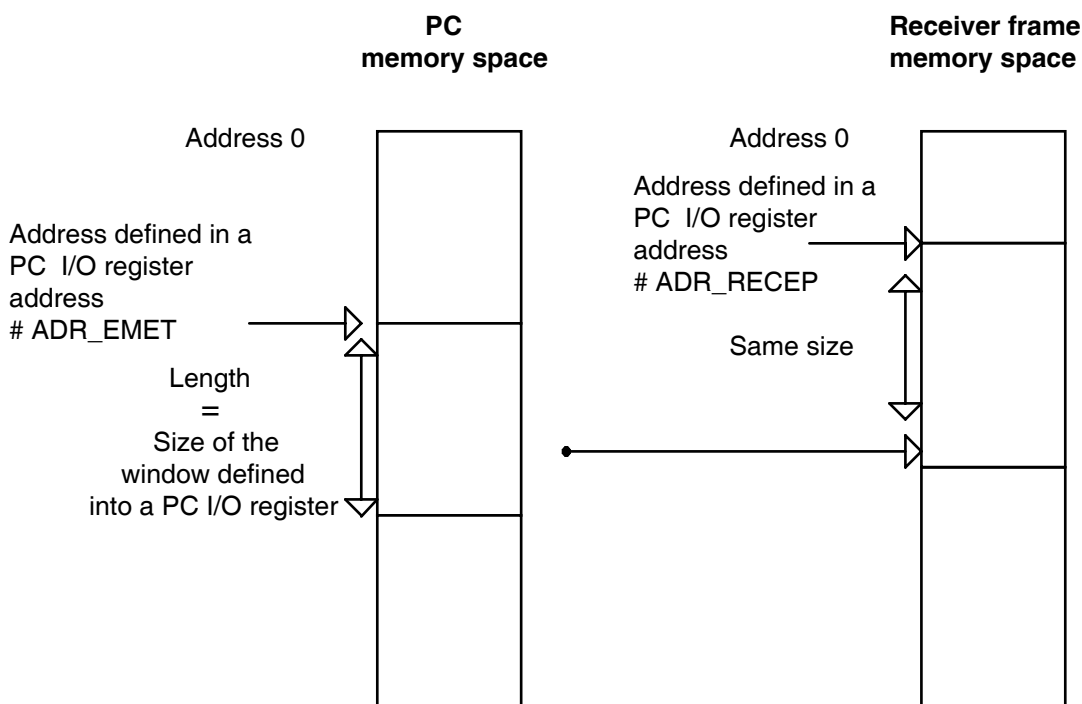
### ECHANGES MEMOIRE ET I/O

A gateway provides direct access from the transmitter frame into the memory or I/O space of the receiver frame.

The I/O or memory space becomes a virtual memory space in the PC.

*Une passerelle permet, à partir d'un châssis émetteur, d'accéder directement dans l'espace mémoire ou I/O du châssis récepteur.*

*L'espace mémoire ou I/O devient un espace mémoire virtuel dans le PC.*



**REMINDER :**  
The base address used to program the I/O base address is set by means of SW1.

**RAPPEL :**  
*L'adresse de base servant à la programmation de l'adresse de base I/O est définie par SW1.*

## C.1. SETTING THE BASE ADDRESS IN THE PC MEMORY WINDOW

### DEFINITION DE L'ADRESSE DE BASE DE LA FENETRE MEMOIRE DANS LE PC

To program the gateway boards, first set the base +00H and base +01H address I/O registers. Only the 8-bit write-access is enabled.

These registers include the base address (ADR-RECEP) as set in the PC memory window.

The following connections apply between the data bits and the addresses :

- I/O register's base +01H address

Data	D7	D0
Address	A23	A16

- I/O register's base +00H address

Data	D7	D4	D3	D2	D1	D0
Address	A15	A12	NU*	NU	NU	NU

\*: Non used

#### Example:

To set the memory base address in the PC to ADR\_EMET = 0D0000H, only write :

0D ⇒ base +01H address I/O register  
00 ⇒ base +00H address I/O register

#### **Note :**

The low address settings depend on the window size.

For a 4-Kbyte window, you set the addresses A12 et A23.

The PC base address (ADR\_EMET) must be a modulo of window size starting from 0.

#### Example :

If the window size is 128 Kbytes, the PC memory address will be 80000H or C0000H but not D0000H.

*La programmation des cartes passerelles commence par celle des registres I/O d'adresse base +00H et base +01H. Seul l'accès en écriture 8 bits est autorisé.*

*Ces registres contiennent l'adresse de base de la fenêtre mémoire dans le PC (cette adresse est notée ADR\_RECEP).*

La correspondance entre les bits de data et les poids des adresses est la suivante :

#### Exemple :

*Pour obtenir l'adresse de base mémoire dans le PC tel que ADR\_EMET = 0D0000H, il suffit d'écrire :*

0D ⇒ Registre I/O d'adresse base +01H  
00 ⇒ Registre I/O d'adresse base +00H

#### **Remarque :**

*La définition de la partie basse des adresses mémoire dépend de la taille de la fenêtre.*

*Pour une taille de fenêtre de 4K octets, les adresses A12 et A23 sont à définir.*

*L'adresse de base dans le PC (ADR\_EMET) doit être un modulo de la taille de la fenêtre à partir de 0.*

Exemple : *Avec une taille de 128K octets l'adresse mémoire du PC sera 80000H ou C0000H mais pas D0000H.*

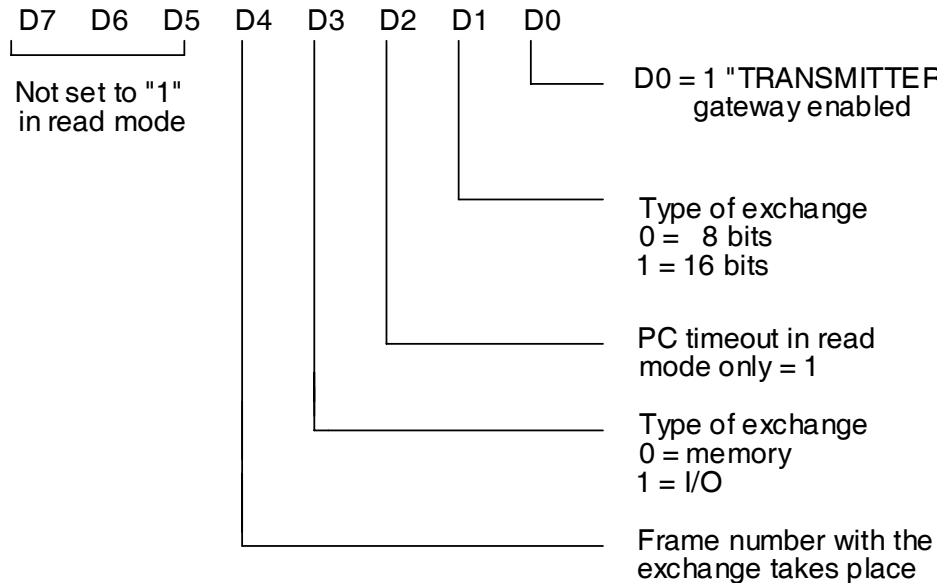
## C.2. CONFIGURING THE EXCHANGES CONFIGURATION DES ECHANGES

The last step in configuring the exchanges in the gateway boards is setting the base +0AH address I/O register which may be accessed through a 8-bit read- or write-access.

*Le registre I/O d'adresse base +0AH accessible en écriture et lecture 8 bits termine la configuration des échanges sur les cartes passerelles.*

You set his register as follows:

Ce registre est défini comme suit :



D4	FRAME
0	1
1	2

**D0 :** D0 = 1 enables the gateway.  
D0 = 0 disables the gateway.

**D0 :** *Ce bit D0 = 1 permet de rendre active la passerelle.  
Lorsque D0 = 0 la passerelle est inhibée.*

**D1 :** This bit selects the type of exchange

D1 = 0 8-bit exchange.  
D1 = 1 8- or 16-bit exchange.

**D1 :** *Ce bit défini le type d'échange*

*D1 = 0 l'échange est réalisé en 8 bits.  
D1 = 1 l'échange est réalisé en 8 ou 16 bits.*

**D2 :** This bit is only significant in read-access mode.

When D2 = 0 no PC timeout took place.  
D2 = 1 a PC timeout took place.

**D2 :** *Ce bit n'est significatif qu'en lecture.*

*Lorsque D2 = 0 il n'y a pas eu un timeout PC.*

*D2 = 1 il y a eu un timeout PC.*

Reading the register resets the bit D2 to zero.

*La lecture du registre remet le bit D2 à zéro.*

**D3** : The receiver frame memory space is accessed when : D3 = 0.  
The receiver frame I/O space is accessed when : D3 = 1

**D4** : This bit selects the frame number with which the exchange will take place.

It is to be used in connection with the ST5 strap on the receiver frame.

**D3** : Pour accéder dans l'espace mémoire du châssis récepteur, il faut mettre D3 = 0.

L'accès se fait dans l'espace I/O du châssis récepteur lorsque D3 = 1

**D4** : Ce bit définit le numéro du châssis avec lequel aura lieu l'échange.

Ce bit est à utiliser en corrélation avec le strap ST5 sur carte récepteur.

D4	Selected frame
0	N° 1
1	N° 2

Example:

To read a 16-bit word in the memory space of the receiver frame, you need to set :

D0 = 1

D1 = 1 (to read the word through only one « hardware » access)

D2 = 0 (no matter its setting; this bit is used for a read-access only)

D3 = 0 selected memory space

D4 = 0 If we access the frame n°1

Exemple :

Pour réaliser la lecture d'un mot de 16 bits dans l'espace mémoire du châssis récepteur, il suffit d'avoir.

D0 = 1

D1 = 1 (pour obtenir le mot en un seul accès "hardware")

D2 = 0 (peu importe sa valeur, bit utilisé pour la lecture uniquement)

D3 = 0 espace mémoire sélectionné

D4 = 0 Si l'on accède au châssis n° 1

### C.3. SETTING THE MEMORY OR I/O BASE ADDRESS IN THE RECEIVER FRAME, AND SETTING THE WINDOW SIZE

#### DEFINITION DE L'ADRESSE DE BASE MEMOIRE OU I/O DANS LE CHASSIS RECEPTEUR ET DEFINITION DE LA TAILLE DE LA FENETRE

The base +02H address and base +03H address I/O registers include three types of information :

- The high address part of the memory or I/O base address in the receiver frame.
- The low address part of the memory or I/O base address in the receiver frame.
- Memory window size.

These registers are accessible in 8-bit read- and write-access modes.

#### The base +02H address I/O register

This register sets the low address part of the memory or I/O base address in the receiver frame.

*Les registres I/O d'adresse base +02H et base +03H contiennent trois types d'informations :*

- *La partie haute de l'adresse de base mémoire ou I/O dans le châssis récepteur.*
- *La partie basse de l'adresse de base mémoire ou I/O dans le châssis récepteur.*
- *La taille de la fenêtre mémoire.*

*Ces registres sont accessibles en lecture et écriture 8 bits.*

#### Registre I/O d'adresse base +02H

*Ce registre détermine la partie haute de l'adresse de base mémoire ou I/O dans le châssis récepteur.*

Data	D7	D1	D0
Address	A23	A17	NU*

\*: Non used

**Note:** Address A16 is assigned to the bit D7 of the base +03H address I/O register.

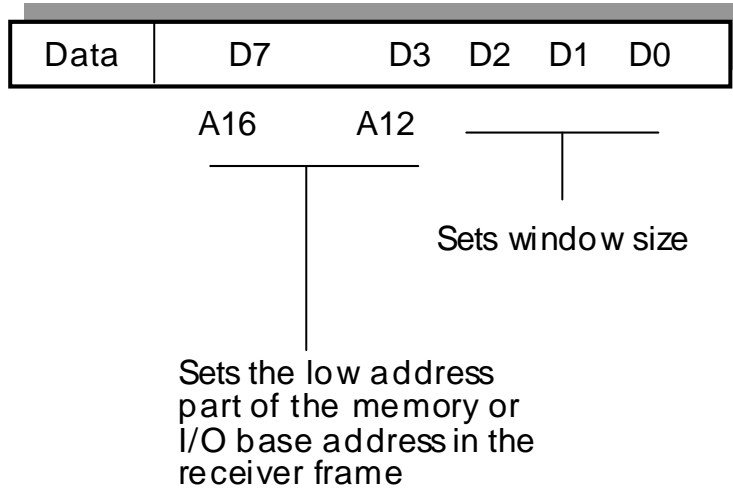
**Remarque :** L'adresse A16 est assignée au bit D7 du registre I/O d'adresse base +03H.

The base +03H address I/O register

*Registre I/O d'adresse base +03H*

This register sets the the rest of the memory or I/O base address and also sets memory size.

*Ce registre défini le reste de l'adresse de base mémoire ou I/O ainsi que la taille de la fenêtre.*



You define the low address part of the memory or I/O addresses depending on the window size.

*La définition de la partie basse des adresses mémoire ou I/O dépend de la taille de la fenêtre.*

For a 4-kbyte window, you must define the addresses A12 through A16.

*Pour une taille de fenêtre de 4K octets, les adresses A12 à A16 sont à définir.*

For a 64-kbyte window, only define A16. Other addresses (A15 through A0) are considered as equal to 0.

*Pour une taille de fenêtre de 64K octets seul A16 est à définir. Les autres adresses (A15 à A0) sont considérées égales à 0.*

The following chart shows how to program the window size.

*Le tableau suivant indique la programmation de la taille de la fenêtre.*

			A	B
D2	D1	D0	MEMORY	I/O
0	0	0	4K	4K
0	0	1	8K	8K
0	1	0	16K	16K
0	1	1	32K	32K
1	0	0	64K	64K
* 1	0	1	128K	64K
* 1	1	0	128K	64K
* 1	1	1	128K	64K

ST4 = ON  
 (Multibus side)

ST4 = OFF  
 (Multibus side)

\* : Redundancy

The use of the D3 bit in the base +0AH address I/O register differentiates a memory access from an I/O access.

Example:

To obtain a 64-kbyte window at the base address 0B0000H in the receiver frame, you must write :

0AH  $\Rightarrow$  base +02H address I/O register

84H  $\Rightarrow$  base +03H address I/O register

Using the configurations used in the previous examples, a read-access to the PC address 0D0002H corresponds to a read-access to the receiver frame memory address 0B0002H.

*La différenciation entre un accès mémoire et un accès I/O est faite par intervention du bit D3 du registre I/O d'adresse base +0AH.*

Exemple :

*Pour obtenir une fenêtre de 64K octets à l'adresse de base 0B0000H dans le châssis récepteur, il faut écrire :*

*0AH  $\Rightarrow$  registre I/O d'adresse base +02H*

*84H  $\Rightarrow$  registre I/O d'adresse base +03H*

*En utilisant les configurations précédemment décrites dans les exemples, une lecture dans le PC à l'adresse 0D0002H correspond à une lecture dans l'espace mémoire du châssis récepteur à l'adresse 0B0002H.*

## D. INTERRUPTS

### INTERRUPTIONS

A **PC/AT/MULTIBUS I** gateway enables one to send interrupts to the MULTIBUS, and to receive interrupts from the MULTIBUS or the transmitter or receiver board.

*Une passerelle **PC/AT/MULTIBUS I** permet d'envoyer des interruptions vers le MULTIBUS, de recevoir des interruptions provenant du MULTIBUS ou de la carte émetteur ou récepteur.*

### D.1. SENDING AND RECEIVING INTERRUPTS

#### EMISSION RECEPTION D'INTERRUPTIONS

First you must enable the interrupt signal to make its way to the PC, by connecting straps to ST3 in the transmitter board (see B.1.2.).

*Il faut d'abord autoriser le passage physique du signal d'interruption vers le PC en reliant des straps sur ST3 de la carte émetteur (cf. : paragraphe B.1.2.).*

Then you must program the following I/O registers.

*Ensuite, il faut programmer les différents registres I/O qui suivent.*

### D.2. THE BASE + 04H ADDRESS I/O REGISTER

#### REGISTRE I/O D'ADRESSE BASE +04H

This register sets the interrupt mask for the reception of the signals in the PC. It is accessible in both 8-bit read- and write-access modes.

*Ce registre définit le masque d'interruption réception par le PC. Ce registre est accessible en lecture écriture 8 bits.*

D0 = 1 ⇒ IT0 enabled  
D0 = 0 ⇒ IT0 disabled

*D0 = 1 ⇒ IT0 autorisée  
D0 = 0 ⇒ IT0 inhibée*

D1 = 1 ⇒ IT1 enabled  
D1 = 0 ⇒ IT1 disabled

*D1 = 1 ⇒ IT1 autorisée  
D1 = 0 ⇒ IT1 inhibée*

etc...

*etc...*

D7 = 1 ⇒ IT7 enabled  
D7 = 0 ⇒ IT7 disabled

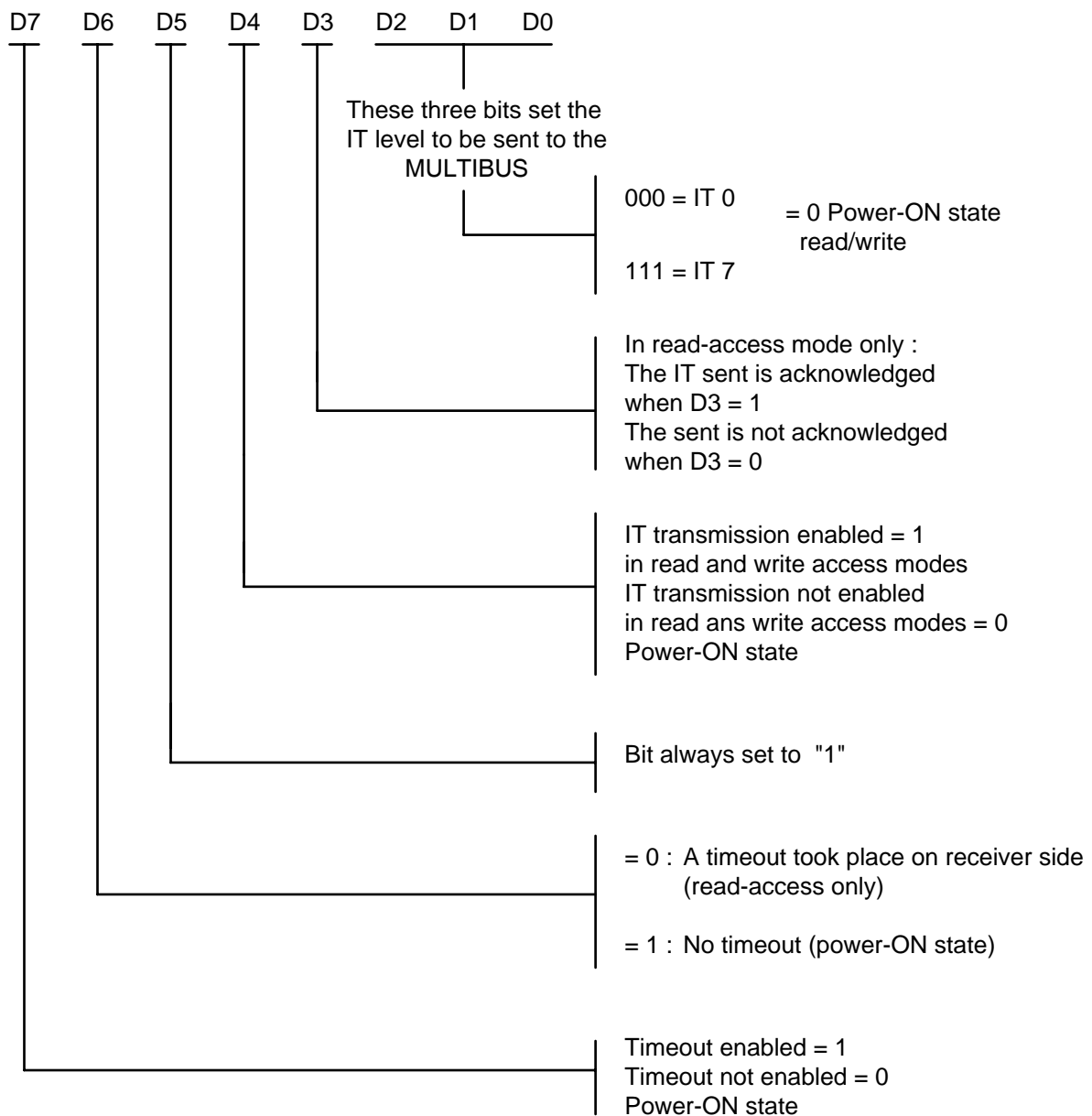
*D7 = 1 ⇒ IT7 autorisée  
D7 = 0 ⇒ IT7 inhibée*

After a reset, all the bits of this register are set to 0.

*Après une initialisation tous les bits de ce registre sont à 0.*

### D.3. THE BASE + 05H ADDRESS I/O REGISTER

REGISTRE I/O D'ADRESSE BASE +05H



## D.4. THE BASE + 08H ADDRESS I/O REGISTER (8-bit access)

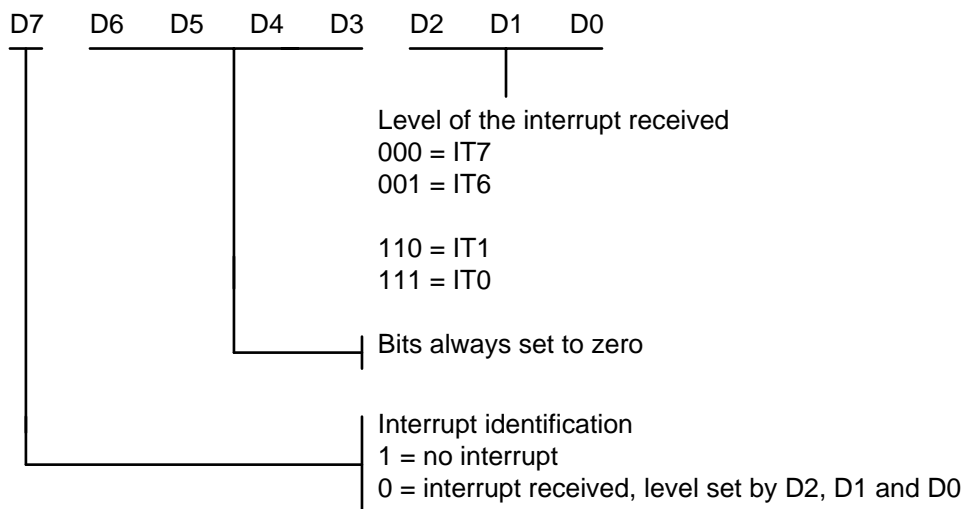
*REGISTRE I/O D'ADRESSE BASE +08H (accès 8 bits)*

A fictitious write-access sends an interrupt to the **MULTIBUS** ; interrupt level was set by the configuration register bits D0 through D2 (Register 4).

*Une écriture fictive génère une interruption vers le **MULTIBUS** dont le niveau a été défini par les bits D0 à D2 du registre de configuration (Registre 4).*

This interrupt is acknowledged through a read-access :

*Une lecture acquitte l'interruption reçue :*



Interrupt level is reset to zero once the interrupt has been acknowledged.

*Le niveau revient à zéro lorsque l'interruption est acquittée.*

### Notes :

The interrupts are processed using the following priority scheme :

- level 7 - lowest priority
- level 0 - highest priority

### Remarques :

*Les interruptions sont prises en compte avec priorités :*

- le niveau 7 est le moins prioritaire
- le niveau 0 est le plus prioritaire

The next interrupt will only be processed when the previous one has been acknowledged.

*Une interruption ne sera prise en compte que si la précédente a été acquittée.*

## D.5. THE BASE + 0BH ADDRESS I/O REGISTER

### REGISTRE I/O D'ADRESSE BASE +0BH

This register can only be accessed through a 8-bit read-access.

*Ce registre n'est accessible qu'en lecture 8 bits.*

The receiver timeout interrupt is acknowledged through a read-access to this register:

*Une lecture de ce registre permet d'acquitter le timeout récepteur.*

When using the receiver timeout interrupt, it is necessary to read in the I/O register (base + 0BH address) in the interrupt program to acknowledge that interrupt.

*Lorsque l'interruption timeout récepteur est utilisée, il est nécessaire, dans le programme d'interruption, d'acquitter ce timeout récepteur en lisant le registre I/O (adresse base +0BH).*

## D.6. THE BASE + 0CH THROUGH BASE + 0FH ADDRESS I/O REGISTER

### REGISTRE I/O D'ADRESSE BASE +0CH A BASE +0FH

In 8-bit read- and write-accesses, these registers set the address which must be read by the user on the **MULTIBUS**, to acknowledge the interrupt sent by the gateway on the **MULTIBUS**.

*En lecture/écriture 8 bits ces registres définissent l'adresse à laquelle l'utilisateur, sur le **MULTIBUS**, doit venir lire pour acquitter l'interruption envoyée par la passerelle sur le **MULTIBUS**.*

A read-access to this address from the **MULTIBUS** confirms that the interrupt was sent by the gateway.

*La lecture à cette adresse depuis le **MULTIBUS** indique si la passerelle est bien l'émettrice de l'interruption.*

Only the D0 bit is significant.

*Seul le bit D0 est significatif.*

When D0 = 1, the gateway has sent the interrupt.

*Lorsque D0 = 1 la passerelle est l'émettrice de l'interruption.*

This interrupt is acknowledged in read-access mode.

*L'acquiescement de cette interruption est effectuée lors de la lecture.*

When D0 = 0, the gateway has not sent the interrupt.

*Lorsque D0 = 0 la passerelle n'est pas l'émettrice de l'interruption.*

These write-access registers are set as follows :  
*La définition de ces registres en écriture est la suivante :*

Base + 0CH address I/O register

Data	D7	D0
Address	A7	A0

Base + 0DH address I/O register

Data	D7	D0
Address	A15	A8

Base + 0EH address I/O register : not used

Base + 0FH address I/O register

Data	D7	D0
Address	A23	A16

## E. ADDITIONAL FUNCTION

### E.1. RESET

The base + 6 or base + 7 address I/O register

*Le registre I/O d'adresse base +6 ou base +7.*

This register is accessed through a 8-bit write-access.

*Ce registre est accessible en écriture 8 bits.*

A fictitious write-access to this address resets the **MULTIBUS I** receiver board and generates a « RESET » signal through this bus.

*Une écriture fictive à cette adresse déclenche une initialisation sur la carte récepteur **MULTIBUS I** et génère un signal « RESET » sur ce bus.*

This does not modify the gateway register status.

*Cette action ne modifie pas l'état des registres de la passerelle.*

## F. SUMMARY

### RECAPITULATIF

### F.1. SUMMARY OF STRAPS AND LEDS

#### RECAPITULATIF DES STRAPS ET LEDS

#### F.1.1. PC TRANSMITTER BOARD

##### CARTE EMETTEUR PC

**ST1** : For decoding  
 4K through 128KB : OFF  
 64K through 2MB : ON

**ST1** : décodage de  
 4K à 128KB : OFF  
 64K à 2MB : ON

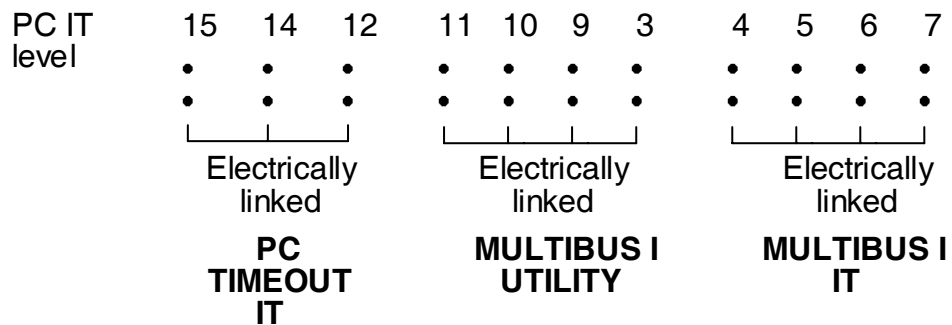
**ST2** : Must be set

**ST2** : doit être mis

**ST3** : Interrupt levels

**ST3** : niveaux d'interruption

Δ# ed. 4[



Δ# ed. 4]

### SW1 SWITCH

Selects the base I/O address of the PC receiver board.  
*Sélection de l'adresse de base I/O de la carte récepteur PC*

SWITCH	ADDRESS
SW1-1	A 4
SW1-2	A 5
SW1-3	A 6
SW1-4	A 7
SW1-5	A 8
SW1-6	A 9
SW1-7	A10
SW1-8	A11

"0" = ON  
 "1" = OFF

F.1.2. MULTIBUS I RECEIVER BOARD  
CARTE RECEPTEUR MULTIBUS I

**ST1** : Sends "RESET" signals

ST1 set ⇒ All « RESET » and gateway « RESET » sent

ST1 not set ⇒ Only the « RESET » generated by a fictitious write-access is sent to the bus.  
The gateway is not reset by this « RESET » signal

**ST2** : Must be set (selects the type of transmitter board).

**ST3** : Selects **MULTIBUS I** timeout.

**ST1** : Transmission du signal "RESET"

ST1 positionné ⇒ transmission de tous les « RESET » et « RESET » de la passerelle

ST1 non positionné ⇒ seul le « RESET » généré par écriture fictive est transmis au bus.

La passerelle n'est pas initialisée par ce « RESET »

**ST2** : Doit être positionné (sélection du type de la carte émetteur).

**ST3** : Sélection de la durée du timeout **MULTIBUS I**.

ST3 set to	Timeout
1	10µs
2	100µs
4	2ms

**ST4** : Selects the window size.

ST4 set : Provides access to a memory space from 4 Kbytes to 128 Kbytes, or to an I/O space from 4 Kbytes to 64 Kbytes

ST4 removed : The accessible memory space is then 64 Kbytes or 128 Kbytes. The I/O space remains 64 Kbytes.

**ST5** : Select frame number.

**ST4** : Sélection de la taille de la fenêtre.

ST4 positionné : On peut accéder à un espace mémoire variant de 4K octets à 128K octets, ou à un espace I/O de 4K octets 64K octets.

ST4 enlevé : L'espace mémoire accessible est alors de 64K octets ou 128K octets. Par contre, l'espace I/O reste de 64K octets.

**ST5** : Sélection du numéro de châssis.

ST5 set to	Frame number
1	n° 1
2	No selection
4	n° 2
8	No selection

**ST7 :** When ST7 is set, the board generates the BCLK signal on the **MULTIBUS I** frame.

When ST7 is removed, the BCLK signal is not sent.

**ST6 :** When ST6 is set, the board generates the CCLK signal on the **MULTIBUS I** frame.

When ST6 is removed, the CCLK signal is not sent.

**ST7 :** Lorsque ST7 est positionné la carte génère le signal BCLK sur le châssis **MULTIBUS I**

*Ce signal BCLK n'est pas généré lorsque ST7 est enlevé.*

**ST6 :** Lorsque ST6 est positionné la carte génère le signal CCLK sur le châssis **MULTIBUS I**.

*Le signal CCLK n'est pas généré lorsque ST6 est enlevé.*

## **G. DRAWINGS**

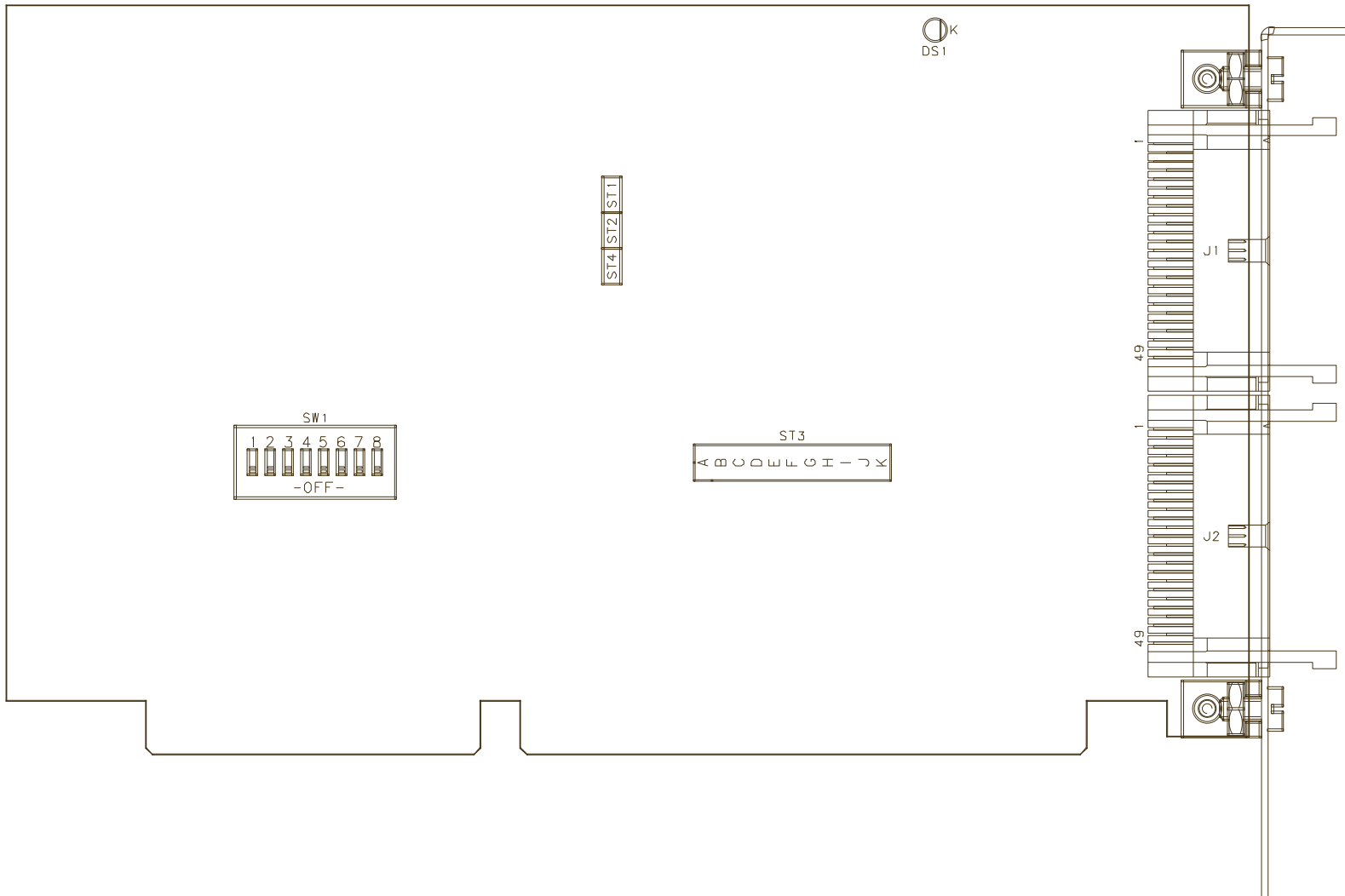
*PLANS*

### **G.1. ASSEMBLY DRAWING OF THE PC TRANSMITTER BOARD**

*PLAN D'EQUIPEMENT DE LA CARTE EMETTEUR PC*

### **G.2. ASSEMBLY DRAWING OF THE MULTIBUS I RECEIVER BOARD**

*PLAN D'EQUIPEMENT DE LA CARTE RECEPTEUR MULTIBUS I*



INDICE DE REVISION: E,0

REAL/REV: \_\_\_\_\_ LE: \_\_\_\_\_ VISA: \_\_\_\_\_

APPROUVE: \_\_\_\_\_ LE: \_\_\_\_\_ VISA: \_\_\_\_\_

CREATION DU DOCUMENT: A,0

REAL/REV: \_\_\_\_\_ REEL \_\_\_\_\_ LE: 04/02/1988

Ech: 1.5

ZAC - 9, rue Georges Besse  
78330 FONTENAY LE FLEURY - FRANCE  
Tel: (33) 1 30 58 90 09 - Fax: (33) 1 30 58 21 33  
e-mail: info@adas.fr - http://www.adas.fr



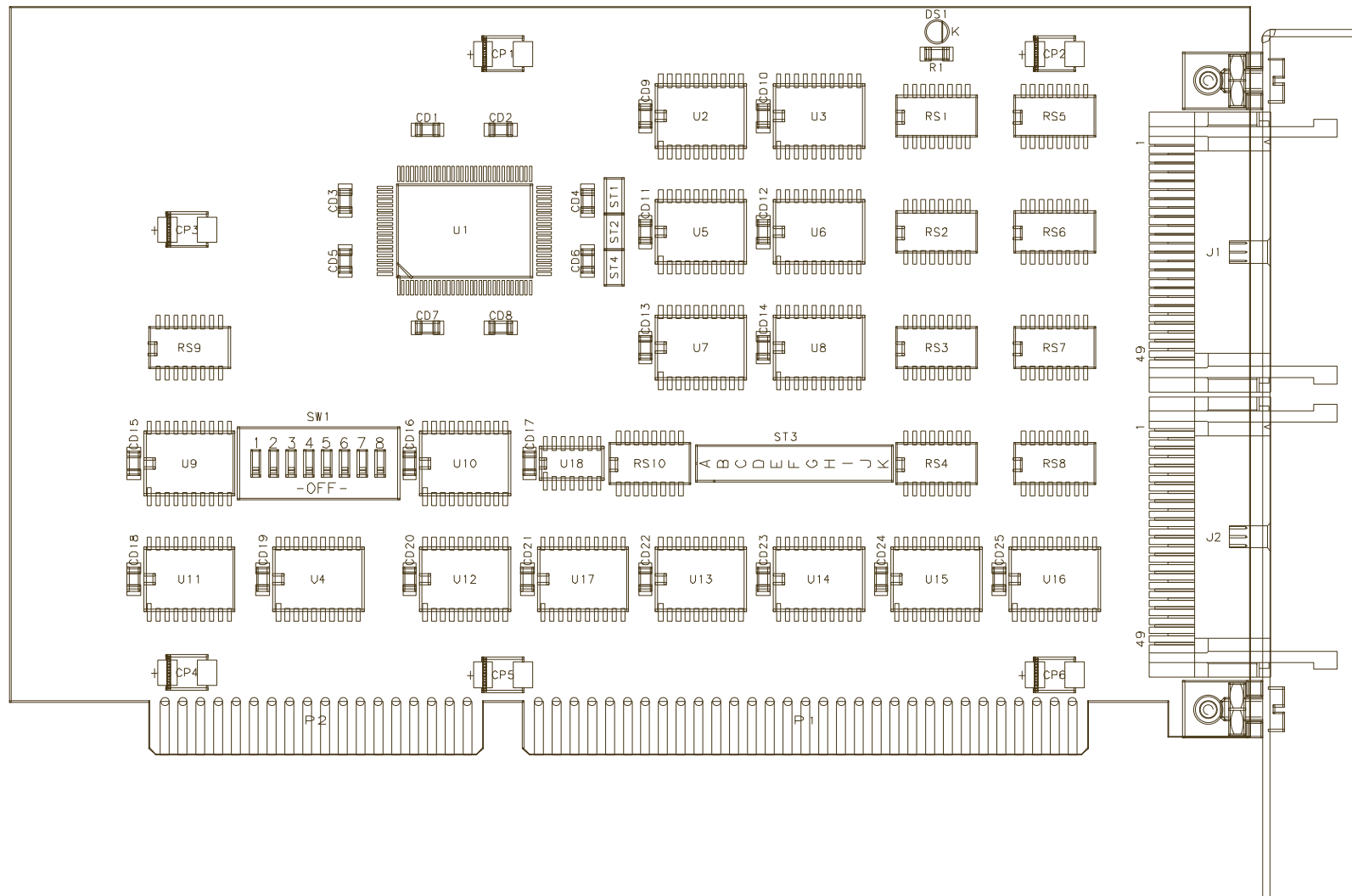
PRODUIT: ADAS

FAMILLE: PC


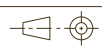
PLAN: 1/1

PLAN DE CONFIGURATION

NUMERO :  
EPC 800



INDICE DE REVISION: <u>E,0</u>		
REAL/REV: _____	LE: _____	VISA: _____
APPROUVE: _____	LE: _____	VISA: _____
CREATION DU DOCUMENT: <u>A,0</u>		
REAL/REV: _____	REEL	LE: <u>04/02/1988</u>

Ech: 1.5		ZAC - 9, rue Georges Besse 78330 FONTENAY LE FLEURY - FRANCE		
		Tel: (33) 1 30 58 90 09 - Fax: (33) 1 30 58 21 33 e-mail: infoadas@adas.fr - http://www.adas.fr		
PRODUIT: ADAS	FAMILLE: PC	PLAN: 1/1		
PLAN D'EQUIPEMENT		NUMERO : <u>EPC 800</u>		