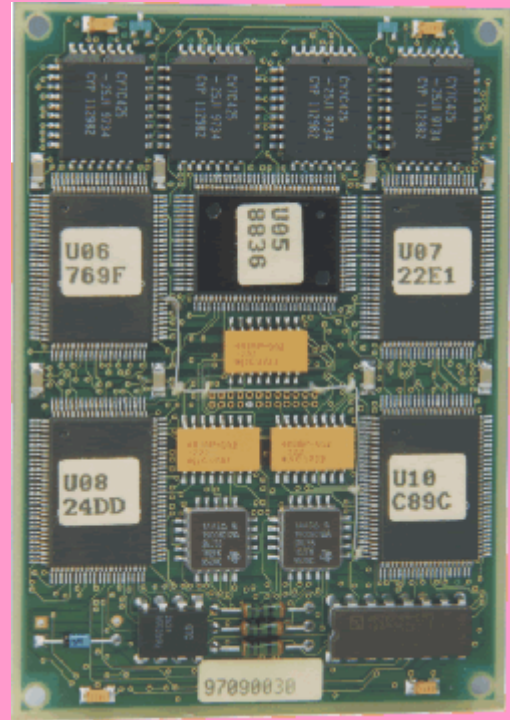




Caractéristiques

- Emission/réception de trames de type DANIEL ou IRIG
- Capture de temps binaire
- Génération de l'heure interne en cas de défaillance
- Emission PCM de 8 à 16 bits de 31,25K.bits à 8M.bits/s en 2n
- NRZ, MILLER, BIPHASE
- Réception et décommutation de message PCM NRZ horloge jusqu'à 5Mbits/s.
- Coupleurs type différentiel
- Détection de synchro programmable jusqu'à 32 bits
- Format bloc programmable
- 16 bits transmission & reception FIFO buffers Fifos 16 bits E/ R.
- Transfert de blocs
- Génération d'interruptions sur flags fifos



Description

Développé pour les environnements difficiles, le **LMC PCM** est un module permettant l'émission et la réception de messages **DANIEL** ou **IRIG**.

La gestion de l'heure binaire est destinée à la datation d'événements.

2 fifos (1 en entrée et en sortie) permettent d'assurer de forts débits de communication sans surcharger le calculateur et ceci en transferts par blocs.

La gestion peut être faite par polling ou en utilisant les interruptions des flags fifo, du temps binaire ou du Timer.



SPÉCIFICATIONS

(t = 25°C)

TYPE	MODULE LMC TRANSMISSION / RECEPTION PCM
TEMPS BINAIRE OU GPS	Capture de temps Binaire et gestion Génération de temps interne en cas de capture de signal discret (indexation...)
EMISSION PCM	Génération format PCM sur 8 à 16 bits (DANIEL – IRIG) Stockage de données à émettre dans une FIFO (16 bits x 1024) Sérialisation et transmission jusqu'à 8 Mbits/s NRZ scramblé, NRZL, NRZS, NRZM, MILLERS, MILLERM, BIPHL, BIPHS, BIPHM transmission Buffer FIFO (VME seulement) permet le transfert de bloc
RECEPTION PCM	Programmable block format (bits per frame, bits per word) Stockage des données reçues dans une FIFO 16 bits x 1024 Mots de synchronisation programmable jusqu'à 32 bits NRZL, NRZS, NRZM reception Buffer FIFO (VME seulement) permet le transfert de bloc Réception jusqu'à 5Mbits/s
INTERFACE LMC	
- Lecture / Ecriture	16 bits
- Identification	6A (H)
INTERRUPTIONS	Gestion d'Interruption sur 2 niveaux
ALIMENTATION	5V / ± 0. 5V / 800mA typique
PRESENTATION	
- Format	Simple LMC
- Connecteurs face avant	Male micro strip SAMTEC 80 broches
ENVIRONNEMENT	
- Gamme	Industriel
- Température de fonctionnement	- 25°C / + 85°C
- Température de stockage	- 40°C / + 100°C
- Humidité relative	90 % (sans condensation)
- Vibrations sinusoïdales	20 à 2000Hz - 5g
- Chocs	Half sinus 100g / 6ms
- EMI	Normes : MIL STD 461A et 462
- Pression	25 à 1100 mbar
NORMES EUROPEENNES	EMC - EN 61326 - EN 55011 Class A CE Compliance ROHS - 2002/95/EC

COMMENT COMMANDER?

LMC PCM

ACCESSOIRES

NOTES :

SOMMAIRE

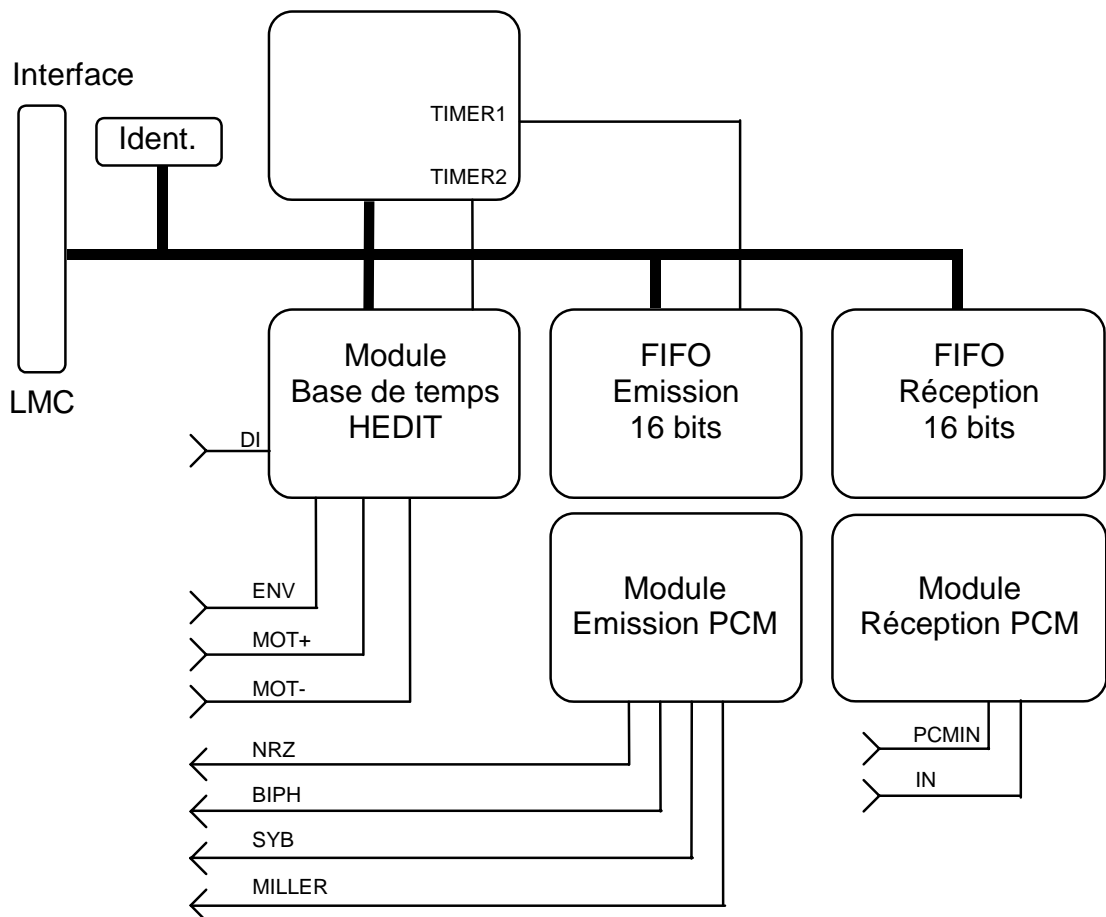
Chapitre A Présentation.....	5
A.1. Introduction	5
A.2. Câblage et interconnexion	5
Chapitre B Fonctionnement.....	6
B.1. Interface local micro canal	6
B.1.1. Introduction.....	6
B.2. Gestion de l'heure EDIT.....	6
B.2.1. Timeout.....	7
B.2.2. Discret d'indexation.....	7
B.3. Emission PCM	8
B.4. Réception PCM	9
B.5. Registres de configuration.....	10
B.5.1. Registre interruptions et identificateur.....	10
B.5.2. Registre status FIFOs PCM.....	11
B.5.3. Registre lecture heure EDIT.....	11
B.5.4. TIMER 1.....	12
B.5.5. Chargement du timer 1.....	12
B.5.6. Acquiescement de l'interruption TIMER 1 et HEDIT.....	13
B.6. Registres du canal réception PCM	14
B.6.1. Registre de lecture FIFO	14
B.6.2. Registre de contrôle du canal.....	14
B.6.3. Registre des mots de synchronisation réception PCM.....	16
B.6.4. Registre de format des trames réception PCM	24
B.6.5. Registre de formats des mots et nombre de bits de synchro ..	25

B.7. Registres du canal émission PCM.....	27
B.7.1. Registre écriture FIFO	27
B.7.2. Registre de contrôle	27
B.7.3. Registre TIMER 2 émission horloge PCM.....	30
B.8. Interruptions	31
B.8.1. Interruptions locales.....	31
B.9. Cartographie du module LMC PCM.....	32
C. Mise en oeuvre	34
C.1. Installation	34
C.2. Leds.....	34
C.3. Connectique.....	35
C.4. Correspondance sur carte UCV684 et CSERV (SAMPLE)..	37

A.1. Introduction

Le module **LMC PCM** est un module **LMC** permettant :

- L'acquisition et la gestion de l'heure EDIT et de l'heure haute résolution.
- La génération du temps interne (Interruption TIMER).
- La sérialisation et l'émission de format **PCM**.
- La réception de format **PCM**.



A.2. Câblage et interconnexion

Veillez consulter cette rubrique sur notre site Internet ou sur notre CD Rom.

B.1. Interface local micro canal

B.1.1. Introduction

Le module **LMC PCM** est un module compatible avec la norme **LMC** (Format simple).

Ce module utilise l'espace SHORT I/O pour ses échanges avec le processeur hôte.

Le module **LMC PCM** retourne le numéro d'identification 6AH.

B.2. Gestion de l'heure EDIT

La base de temps HEDIT est destinée à la datation d'événements. Elle est constituée de deux mots binaires adjacents de 16 bits émis au travers d'un message série et d'un message enveloppe.

La lecture des 2 mots est obligatoire, l'Heure Poids Fort (**HPF**) en premier.

Ces 2 mots binaires sont accessibles dans deux registres 16 bits en lecture seule.

>>>HPF HEDIT (Adresse 04H)

C'est le mot poids fort de 16 bits issu du message temps binaire de la base de temps HEDIT (le LSB est égal à 10 secondes).

>>>HPF HEDIT (Adresse 06H)

C'est le mot poids faible de 16 bits issu du message temps binaire de la base de temps HEDIT (le LSB est égal à 1 milliseconde).

La base de temps peut être soit :

- Récupérée de l'extérieur sur réception d'un message série et d'un message enveloppe. Ces signaux sont reçus à travers des récepteurs de lignes. Une interruption (ITH) est générée à chaque réception d'une nouvelle heure (toutes les millisecondes).
- Générée en interne par le timer 1 du module toutes les millisecondes.
- Par l'intermédiaire du Discret d'Indexation (trame GPS) sur le front montant

B.2.1. Timeout

Une interruption de timeout (ITC) générée en interne par le timer du module permet de détecter toutes pertes de signal externe.

Cette interruption programmée à une valeur supérieure à 1 milliseconde, est remise à 0 lors de la réception d'une ITH ou d'un DI (cas GPS).

En cas de perte d'une ITH ou d'un DI (cas GPS), l'ITC se déclenche imposant au CPU de repasser en heure interne sur le timer 1 du module en le programmant à 1 milliseconde.

B.2.2. Discret d'indexation

Un discret d'indexation (DSYN) accessible sur le port d'entrée (Adresse 01H bit D7) permet de déterminer l'origine de la datation.

Cette entrée fonctionne indifféremment en niveau 5V ou 12V sans intervention externe.

Le Discret d'Indexation peut servir à la datation dans le cas d'heure GPS - front montant.

B.3. Emission PCM

Δ# éd. 3 & 4]

Le module Emission **PCM** permet :

- Le stockage des données à émettre dans une FIFO 16 bits x 1024
- La génération du format **PCM**
- La sérialisation et émission du **PCM**
- La génération d'interruption sur FIFO à moitié vide

La fréquence émission est donnée en fonction d'un cadencement interne programmable par le Timer 2 (adresse 24H) jusqu'à 8M bits/seconde.

Δ# éd. 3 & 4]

Chaque message **PCM** est émis sous les formes de modulations suivantes :

- Groupe 1 : NRZL, NRZS, NRZM
- Groupe 2 : NRZ Scramblé, MILLERS, MILLERM
- Groupe 3 : BIPHL, BIPHS, BIPHM
- Horloge bit associée

L'émission de ces signaux s'effectue à travers des drivers de lignes différentiels.

Les sorties de chaque groupe sont multiplexées.

(choix par programmation des bits EM3 à EM0 du registre adresse 21H).

B.4. Réception PCM

Δ# éd. 6 [

Ce module permet la réception et la décommutation d'un message **PCM** (NRZ + Horloge) avec :

- mots de synchronisation programmables de 16 à 32 bits
- format de blocs programmables (nombre de bits par trame et par mots)
- la vitesse de réception peut atteindre 5Mbits/s

Δ# éd. 6]

Δ# éd. 4 [

Le module Réception **PCM** permet :

- le stockage des données reçues dans une FIFO 16 bits x 1024
- la génération d'interruptions sur FIFO à moitié pleine.

Δ# éd. 4]

La réception démarre sur une reconnaissance des caractères de synchronisation. Cette reconnaissance peut se faire jusqu'à 32 bits.

La constitution des mots est programmable sur 8 à 16 bits.

La constitution des trames est programmable jusqu'à 65535 bits (bits de synchronisation non compris).

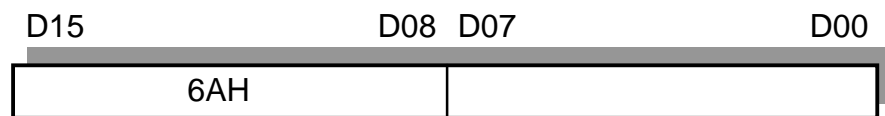
Le type de signal décommuté est programmable par les bits TYP0 et TYP1 du registre adresse 13H.

B.5. Registres de configuration

B.5.1. Registre interruptions et identificateur

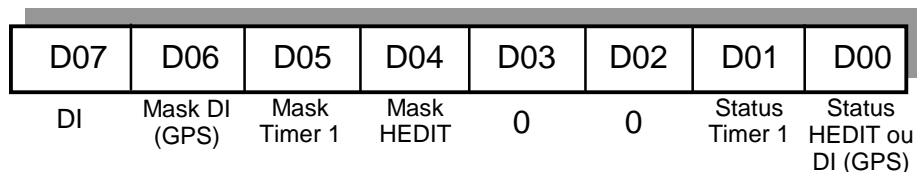
>>> Adresse 000H

La lecture (ou l'écriture des masques) s'effectue en accès 8 ou 16 bits. Les bits de poids forts donnent le numéro d'identification du module.



Les bits de poids faibles donnent l'état des status d'interruptions et des masques.

Δ# éd. 3 [



DI = Discret d'indexation

DI = 0 pas de discret d'indexation

DI = 1 discret d'indexation présent

Les masques HEDIT et DI (GPS) ne doivent pas être à 1 simultanément.

Δ# éd. 3]

Les interruptions sont masquées lorsque les masques sont à 0.

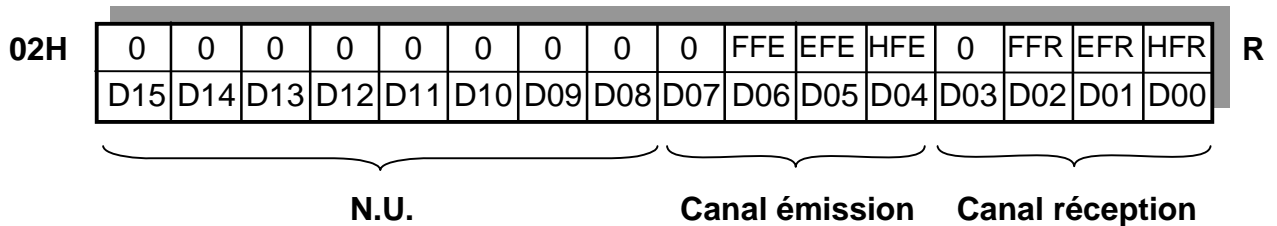
Les status sont positionnés à « 1 » lorsque les interruptions sont en attente.

B.5.2. Registre status FIFOs PCM

>>> Adresse 002H

La lecture s'effectue en accès 8 ou 16 bits

Ce registre donne l'état des FIFOs.



HFx correspond à FIFO à **moitié plein**

EFx correspond à FIFO **vide**

FFx correspond à FIFO **plein**

Ces bits sont actifs à zéro.

B.5.3. Registre lecture heure EDIT

>>> Adresse Base + 4H et + 6H (Etat mise sous tension 0000H)

Heure EDIT (lecture 16 bits uniquement)

Heure poids fort Adresse 4

Heure poids faible Adresse 6

Les 2 mots de 16 bits doivent être lus **obligatoirement** avec l'heure poids fort (HPF) en premier (heure 32 bits).

B.5.4. TIMER 1

>>>Adresse Base + 9H (Ecriture/Lecture 8 bits)

Les accès sont possibles en 16 bits à l'adresse base + 8H
(Etat MST 0000H)

Ce timer 8 bits est programmable par pas de 8 μ s. Il sert à générer l'heure interne lors de la perte de l'heure externe.

Le timer démarre automatiquement dès que l'on écrit une valeur.

Δ # éd. 3 [

Lorsque l'interruption ITH ou DI (GPS) externe est autorisée, elle réarme le timer automatiquement.

Δ # éd. 3]

Exemple de valeurs : 7CH correspond à 1ms
89H correspond à 1.1ms

B.5.5. Chargement du timer 1

>>>Adresse 0AH (Ecriture fictive uniquement en 8 ou 16 bits)

Cette écriture fictive sert à réarmer le TIMER 1 à la valeur écrite dans le registre à l'adresse 08 pour le réinitialiser.

B.5.6. Acquittement de l'interruption TIMER 1 et HEDIT

Δ# éd. 3 [

>>> Adresse Base + 0CH et 0EH (Ecriture fictive 8 ou 16 bits)

Lorsqu'une interruption apparaît sur le niveau d'IT LMC 0, la provenance peut être HEDIT, DI (GPS) ou TIMER. La lecture des status d'interruption permet d'en connaître l'origine.

L'acquittement de cette interruption sera effectué par une écriture fictive aux adresses concernées soit :

- 0CH pour le Timer 1
- 0EH pour l'heure EDIT ou DI (GPS)

Δ# éd. 3]

B.6. Registres du canal réception PCM

Le canal **PCM** est l'adresse : Base canal R = Base + 10H

B.6.1. Registre de lecture FIFO

Accès lecture 16 bits uniquement.

Adresse Base Canal R + 0H.

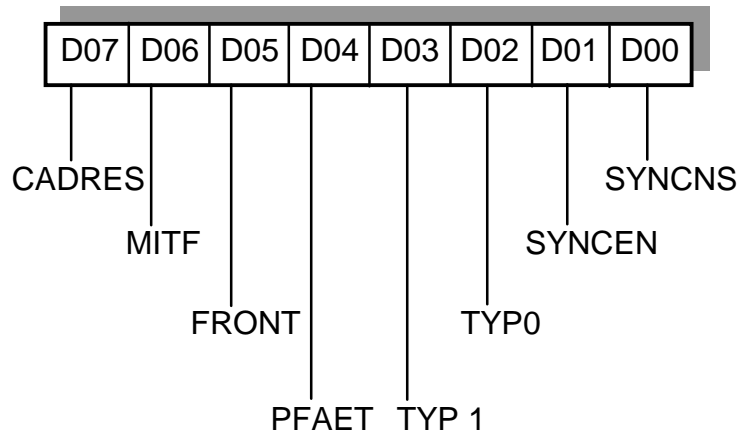
B.6.2. Registre de contrôle du canal

Accès lecture/écriture 8 ou 16 bits.

Adresse Base Canal R + 3H.

Initialisé à 0000H à la mise sous tension (le poids fort est toujours lu à zéro).

>>> Poids faible



- Le bit **D07** (cadrés) actif à 1 permet de cadrer les mots si le nombre de bits reçus par mot est inférieur à 16.
- Le bit **D06** (MITF) actif à 1 permet d'autoriser une interruption sur le niveau IT LMC 1 lorsque le bit FIFO à moitié plein est positionné.
Cette interruption sera dévalidée automatiquement lors du changement d'état du bit FIFO à moitié plein.
- Le bit **D05** (FRONT) permet de choisir le front utilisé pour l'horloge de réception de canal.
 - 1 : Front montant
 - 0 : Front descendant
- Le bit **D04** (PFAET) sert à déterminer le sens utilisé :
 - 0 : Poids faible en tête
 - 1 : Poids fort en tête
- Les bits **D03** et **D02** (TYP 1 et 0) servent à déterminer le type de réception.

TYP 1	TYP 0	TYPE DE RECEPTION
0	0	NRZ Level
0	1	NRZ Space
1	0	NRZ Mark
1	1	Non Utilisé

- Les bits **D01** et **D00** (SYNCEN et SYNCNS) servent à choisir le type de réception.

MODE	SYNCEN	SYNCNS	TYPE DE RECEPTION
0	0	0	Pas de réception autorisée
2	1	0	Réception avec détection de synchro systématique
3	1	1	Réception avec détection du 1er mot de synchro uniquement
1	0	1	Réception sans recherche de mots de synchro

>>>Nota :

Lorsque l'on change de mode de réception, il faut obligatoirement repasser par le mode « 0 » (pas de réception autorisée).

B.6.3. Registre des mots de synchronisation réception PCM

>>>Adresse 14H et 16H

L'accès se fait en 16 bits en écriture/lecture.

Ces 2 registres servent à mémoriser la valeur du mot à comparer au mot de synchronisation lors de la recherche du début de trame.

>>>Adresse 14H

Mot de synchronisation réception (mot 1).

>>>Adresse 16H

Mot de synchronisation réception (mot 2).

Les mots de synchronisation doivent être cohérents avec le nombre de bits du registre (nombre de bits de synchro registre 12H) et doivent être écrits cadrés suivant le poids en tête .

La lecture de la synchronisation est toujours sur 32 bits. Les bits non significatifs sont forcés à zéro.

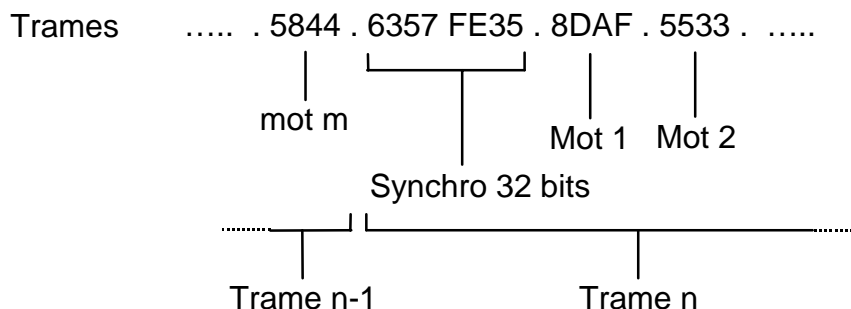
Ci-après, exemples de trames reçues en fonction du nombre de bits de synchronisation, du poids en tête et du nombre de bits par mots (cadrés).

>>> RECEPTION DE TRAMES POIDS FORTS EN TETE

Le registre de synchronisation mot 1 correspond au poids fort du mot de synchronisation.

Le registre de synchronisation mot 2 correspond au poids faible du mot de synchronisation.

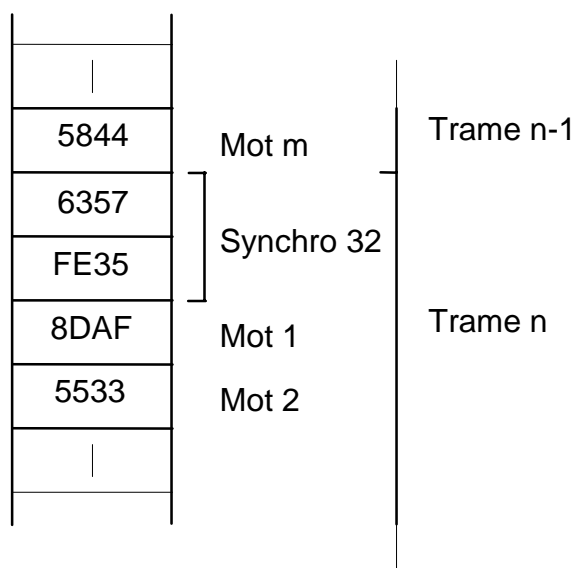
Synchronisation 32 bits mots de 16 bits



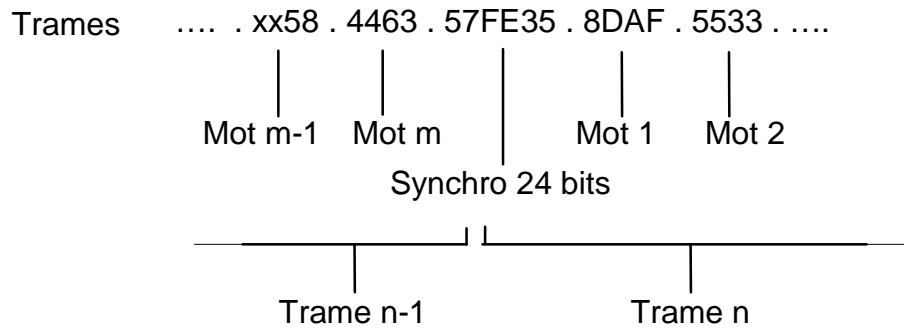
Le mot 1 de synchro sera égal à 6357

Le mot 2 de synchro sera égal à FE35

Le FIFO contiendra les mots suivants :



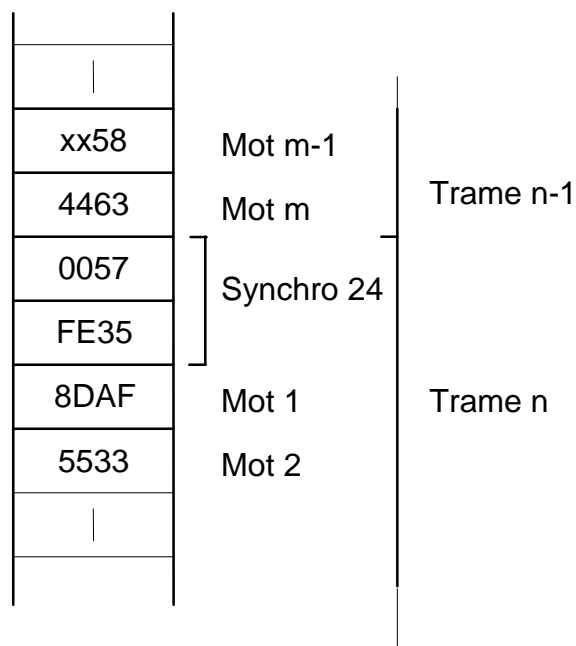
Synchronisation 24 bits mots de 16 bits



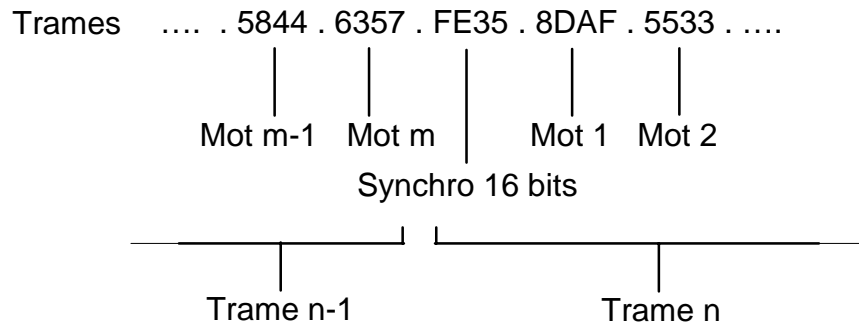
Le mot 1 de synchro devra être égal à 0057

Le mot 2 de synchro devra être égal à FE35

Le FIFO contiendra les mots suivants :



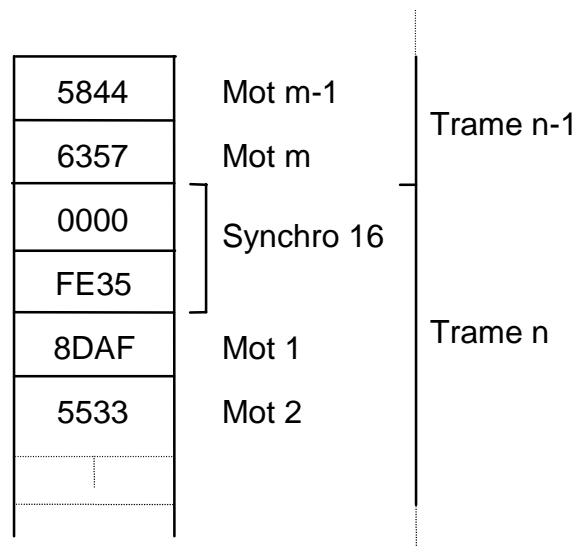
Synchronisation 16 bits mots de 16 bits



Le mot 1 de synchro devra être égal à 0000

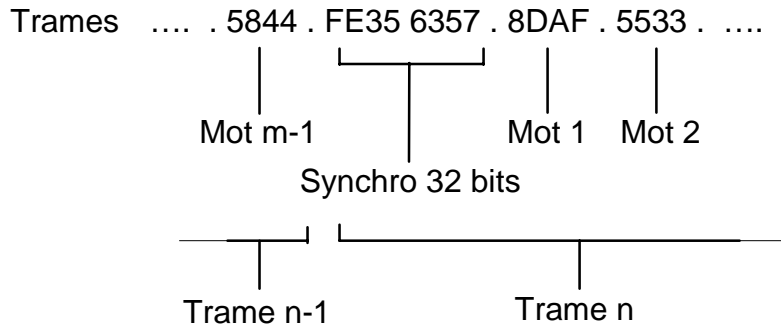
Le mot 2 de synchro devra être égal à FE35

Le FIFO contiendra les mots suivants :



>>> RECEPTION DE TRAMES POIDS FAIBLES EN TETE

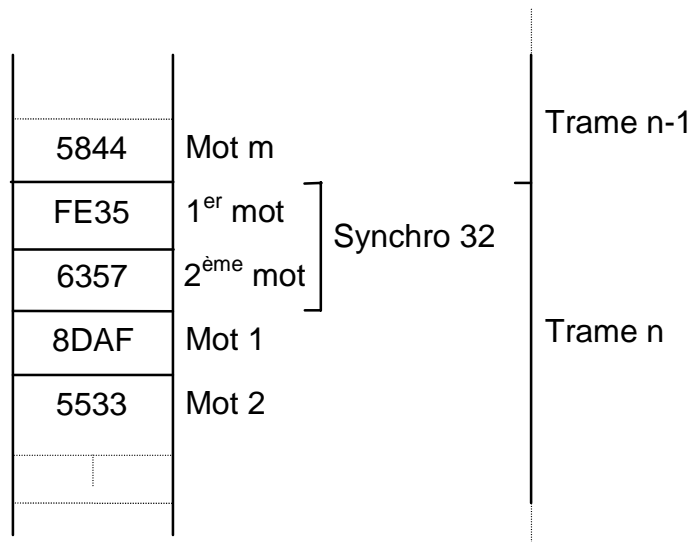
Synchronisation 32 bits mots de 16 bits



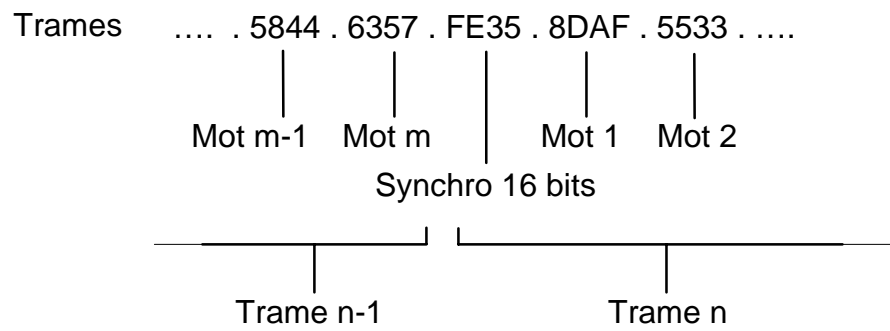
Le mot 1 de synchro devra être égal à FE35

Le mot 2 de synchro devra être égal à 6357

La synchronisation étant sur 32 bits, le mot de synchro reçu est FE35 (1^{er} mot) 6357 (2^{ème} mot). Le 2^{ème} mot est donc reçu en 1^{er}, le digit de poids faible étant 7.



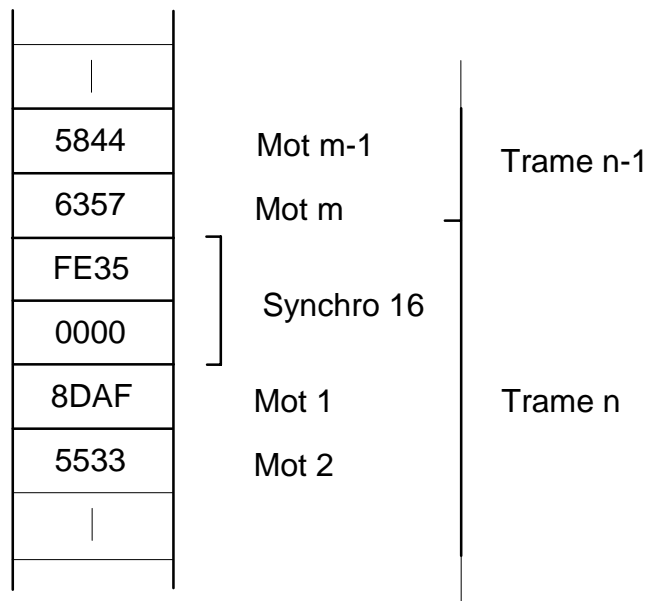
Synchronisation 16 bits mots de 16 bits



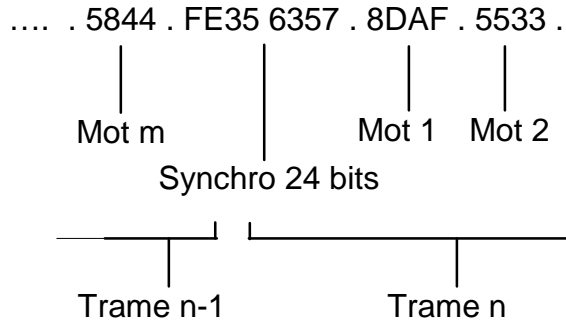
Le mot 1 de synchro devra être égal à FE35

Le mot 2 de synchro devra être égal à 0000

Le FIFO contiendra les mots suivants :



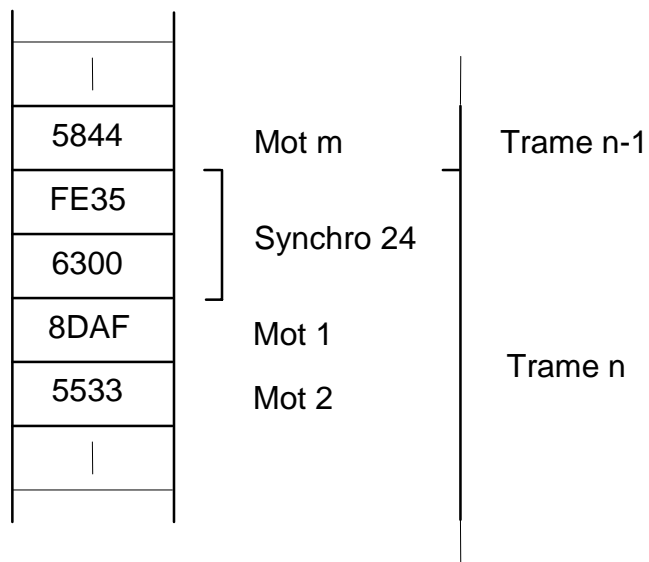
Synchronisation 24 bits mots de 16 bits



Le mot 1 de synchro devra être égal à FE35

Le mot 2 de synchro devra être égal à 6300

Le FIFO contiendra les mots suivants :



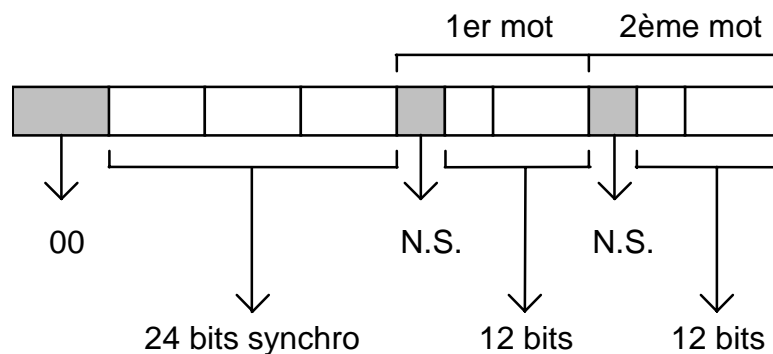
>>> RECEPTION DE TRAMES MOTS CADRES

Réception poids forts en tête

Les mots cadrés poids forts en tête sont cadrés sur le poids faible dans le FIFO.

Exemple de trame : 24 bits de synchro + 12 bits cadrés

◆ Poids fort en tête

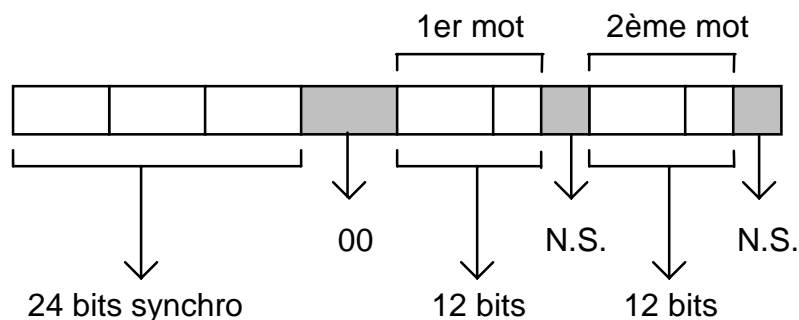


Réception poids faibles en tête

Les mots cadrés poids faibles en tête sont cadrés sur le poids fort dans le FIFO.

Exemple de trame : 24 bits de synchro + 12 bits cadrés

◆ Poids faible en tête



B.6.4. Registre de format des trames réception PCM

Initialisé à FFFF à la mise sous tension, soit 65535 bits par trame.

>>> Adresse 18H

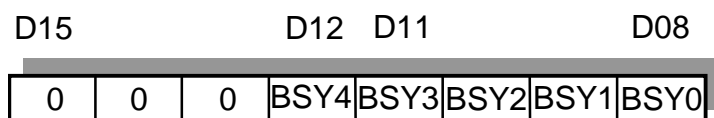
L'accès s'effectue en accès 16 bits en écriture / lecture.



Ce registre contient le nombre de bits par trame à la réception.

>>> Poids forts

Registre du nombre de bits de synchronisation.



La synchronisation est programmable entre 16 et 32 bits.

Les 5 bits sont en code binaire :

BSY4	BSY3	BSY2	BSY1	BSY0	
0	0	0	0	0	32 bits de synchronisation
0	0	0	0	1	31 bits de synchronisation
0	0	0	1	0	30 bits de synchronisation
⋮	⋮	⋮	⋮	⋮	⋮
0	1	0	0	0	24 bits de synchronisation
⋮	⋮	⋮	⋮	⋮	⋮
1	0	0	0	0	16 bits de synchronisation

B.7. Registres du canal émission PCM

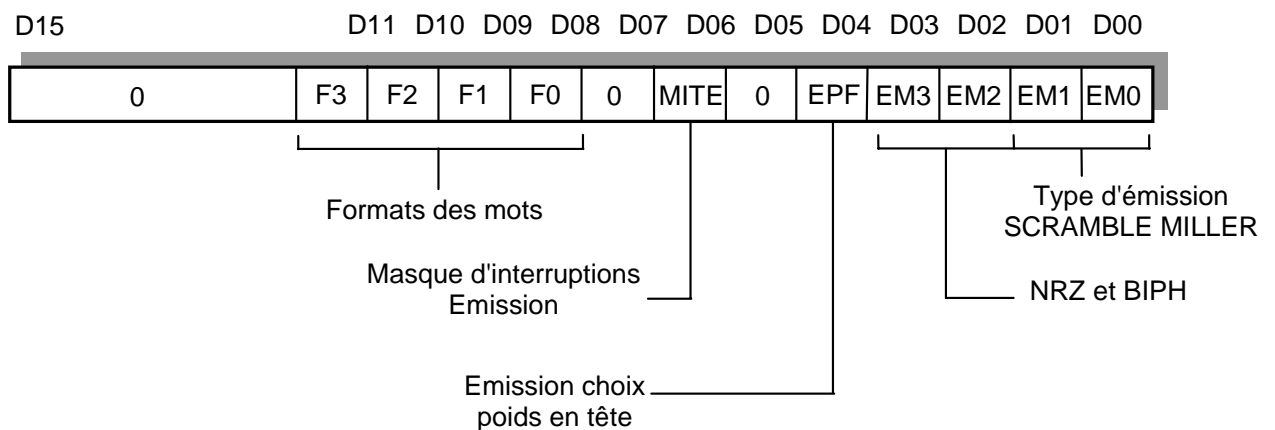
B.7.1. Registre écriture FIFO

>>> Adresse 20H (Ecriture 16 bits uniquement)

Lorsque la FIFO est à moitié vide, le signal HFE est positionné et l'interruption correspondante est active (si elle est démasquée).

B.7.2. Registre de contrôle

>>> Adresse 22H (Accès en 8 ou 16 bits lecture ou écriture)



◆ **BITS D00 ET D01, D02 ET D03**

Type d'émission

EM 1 et 3	EM 0 et 2	TYPE D'EMISSION SUR LES BROCHES CORRESPONDANTES
0	0	Emission NRZL BIPHL et NRZSERAMBLE
0	1	Emission NRZM BIPHM et MILLERM
1	0	Emission NRZS BIPHS et MILLERS
1	1	Pas d'émission

◆ **BIT D04**

Choix du poids émis en tête

Bit EPF

D4 = 0 Poids faible en tête

D4 = 1 Poids fort en tête

◆ **BITS D06**

Masque d'interruption émission

Bit MITE

D6 = 0 Interruption FIFO à moitié vide masquée

D6 = 1 Interruption FIFO à moitié vide autorisée

◆ **Bits D08 A D11 (F0 à F3)**

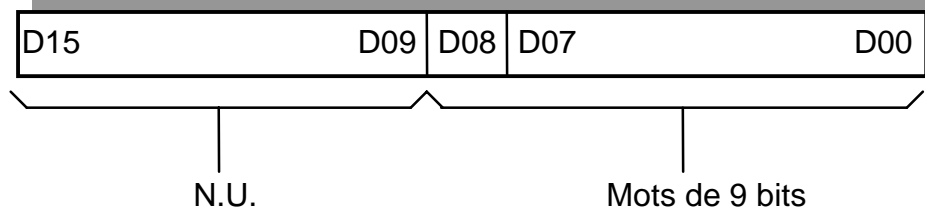
Format des mots en émission

D11	D10	D09	D08	Nombre de bits par mots
0	0	0	0	16 bits
0	0	0	1	15 bits
0	0	1	0	14 bits
0	0	1	1	13 bits
0	1	0	0	12 bits
0	1	0	1	11 bits
0	1	1	0	10 bits
0	1	1	1	9 bits
1	0	0	0	8 bits

Nota : Les mots doivent être cadrés sur le poids faibles.

Exemple :

FORMAT DES MOTS 9 BITS



B.7.3. Registre TIMER 2 émission horloge PCM

Δ# éd. 4]

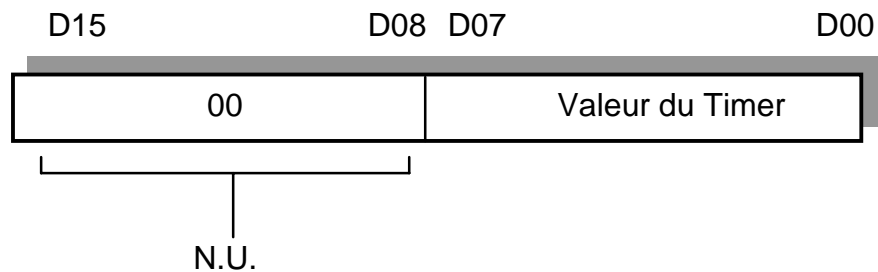
>>> Adresse 24H (Timer 8 bits)

Accès en 8 ou 16 bits en lecture/écriture.

Ce timer permet des transmissions **PCM** jusqu'à 8M bits/seconde.

L'horloge est à 16MHz (horloge bit double)

Chaque pas du timer représente 125ns.



>>> Exemple :

Pour transmettre à 4M bits/s, il faut écrire 01H dans le registre Timer.

Pour transmettre à 31,25K bits/s, il faut écrire FFH dans le registre Timer

Une simple écriture rafraîchit la valeur.

>>> Nota :

La fréquence de transmission $H = 1 / \text{valeur du pas} \times (n + 1)$

La valeur 00H permet de transmettre à 8Mbits/s.

Le module émet en permanence.

Δ# éd. 4]

B.8. Interruptions

B.8.1. Interruptions locales

Δ# éd. 3]

Les interruptions provenant de 4 sources différentes sont réparties sur 2 lignes d'interruptions.

	Status	Ligne IT	Acquittement	Masque
IT Heure (HEDIT) ou GPS	SITH	0	Ecriture 0EH	MITH ou MDI
IT TIMER 1	STIM	0	Ecriture 0CH	MTIM
IT FIFO CANAL R	HFR	1	Automatique	MITR
IT FIFO CANAL E	HFE	1	Automatique	MITE

Le module peut générer des interruptions sur deux niveaux différents. Ces interruptions sont **autovectorisées** et le processeur doit en identifier la source par la lecture du registre de status correspondant.

Une source peut générer une interruption si son bit de masque est mis à 1.

Pour l'interruption HEDIT et les interruptions TIMER 1, l'acquittement se fait par une écriture fictive aux adresses concernées.

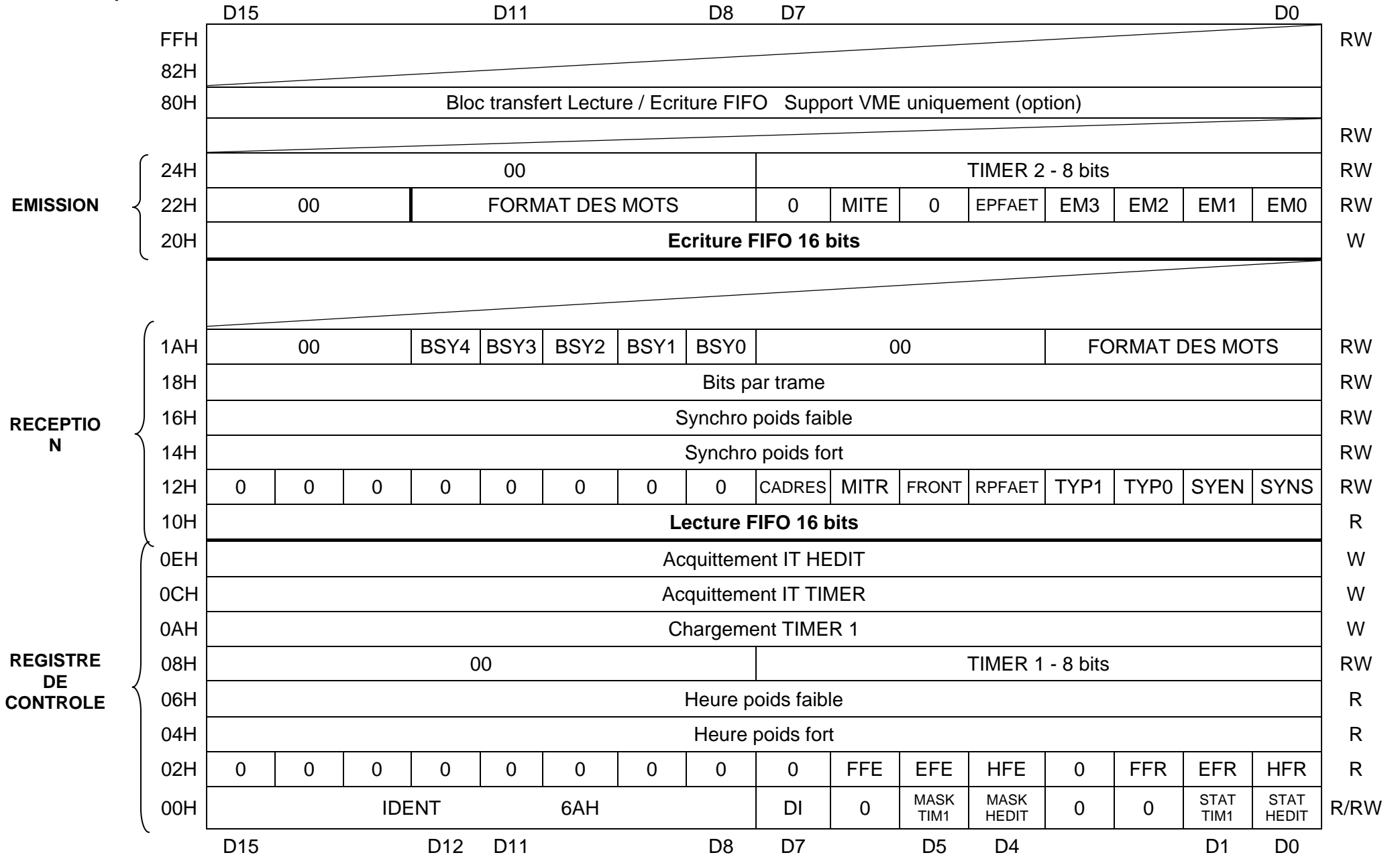
Pour l'interruption HEDIT ou GPS et les interruptions TIMER 1, l'acquittement se fait par une écriture fictive aux adresses concernées.

Les interruptions FIFO sont acquittées automatiquement lorsque les status redeviennent inactifs.

Δ# éd. 3]

B.9. Cartographie du module LMC PCM

Voir tableau ci-après.



C.

Mise en oeuvre

Ce chapitre décrit les leds ainsi que la définition des connecteurs du module **LMC PCM**.

C.1. Installation

Avant toute chose, l'opérateur prendra connaissance du document :

**GENERAL INSTRUCTIONS FOR
IMPLEMENTING ADAS PRODUCTS**
*INSTRUCTIONS GENERALES DE
MISE EN OEUVRE DES PRODUITS ADAS*

L'insertion s'effectuera dans un châssis hors tension.

C.2. Leds

Le module **LMC PCM** comporte 2 leds pour traduire l'état de fonctionnement.

- Led **EMI (DS2)** (Led verte)
Led allumée lorsque le module **LMC PCM** émet des trames **PCM**
- Led **REC (DS1)** (Led verte)
Réception d'une trame **PCM** sur le module **LMC PCM**

C.3. Connectique

Le module **LMC PCM** est équipé d'un connecteur SAMTEC 80 points micro strips mâle (Réf. : TFM -140-02-S-D).

Le processeur possède un ou plusieurs connecteurs femelles (Réf. : SFM-140-02-S-D).

Voir tableau ci-après.

1	0V	2	0V
3	BIPH+	4	HIN+
5	BIPH-	6	HIN-
7	NRZ-	8	PCMIN+
9	NRZ+	10	DI-
11	SYB+	12	DI+
13	SYB-	14	ENV -
15	PCMIN -	16	ENV +
17	MILLER-	18	MOT -
19	MILLER+	20	MOT +
21	0V	22	5V
23	CSLMC/	24	A10
25	A20	26	A9
27	A19	28	A8
29	A18	30	A7
31	A17	32	A6
33	A16	34	A5
35	A15	36	A4
37	A14	38	A3
39	A13	40	A2
41	A12	42	A1
43	A11	44	A0
45	0V	46	5V
47	D00	48	D08
49	D01	50	D09
51	D02	52	D10
53	D03	54	D11
55	D04	56	D12
57	D05	58	D13
59	D06	60	D14
61	D07	62	D15
63	0V	64	5V
65	WRLMCU/	66	WRLMCL/
67	DSACK0/	68	DSACK1/
69	ITLMC0/	70	ITLMC1/
71	LMCIO	72	RDLMC/
73		74	DIRLMC
75	CLKLMC	76	RESETLMC/
77	0V	78	5VSTDBY
79	- 12V	80	+ 12V

C.4. Correspondance sur carte UCV684 et CSERV (SAMPLE)

Sur la carte **UCV 684** le module **LMC PCM** communique avec le monde extérieur par l'intermédiaire de 20 points pris sur le connecteur de 80 points.

1	BIPH+	2	BIPH-	3	0V	4	NRZ-	5	NRZ+
6	SYB+	7	SYB-	8	PCMIN-	9	MILLER-	10	MILLER+
11	HIN+	12	HIN-	13	PCMIN+	14	DI-	15	DI+
16	ENV-	17	ENV+	18	0V	19	MOT-	20	MOT+

Sur la carte CSERV du coffret **SAMPLE**, seules les broches BIPH+ et BIPH- sont câblées vers le connecteur **LMC**.