

ICV 926

OBSOLETE



REFERENCE PRODUIT : ICV 926

| DATE | NATURE DE L'EVOLUTION | AUTEUR | PARAPHE |
|-------------|--|---------------|----------------|
| Juin 1993 | ◆ Création de la documentation Edition 1 - DOCUMENTATION REDUITE - | Ph. R | |

ZAC - 9, rue Georges BESSE - 78330 FONTENAY-LE-FLEURY - FRANCE

Tél. : (1) 30 58 90 09 - Télécopie : (1) 30 58 21 33

**DOCUMENTATION
REDUITE**

SOMMAIRE

A. INTRODUCTION

B. ANALYSE FONCTIONNELLE

B.1. INTERFACE BUS VME

B.1.1. ADRESSAGE CARTE ICV 926

B.1.2. RESSOURCES GENERALES

B.2. LES REGISTRES

B.2.1. LE REGISTRE DE PROGRAMMATION

B.2.2. LE REGISTRE DE STATUS

B.2.3. LE REGISTRE D'ECHANGE HSR6

B.2.4. LE REGISTRE SEQUENCEUR HSR7

B.2.5. LES FIFOs RECEPTION

B.2.6. LES FIFOs EMISSION

B.3. INTERRUPTIONS VME

B.3.1. LE REGISTRE DE CONTROLE D'INTERRUPTION

B.3.2. INTERRUPTION STATUS FIFO RECEPTION

B.3.3. INTERRUPTION STATUS FIFO EMISSION

B.3.4. INTERRUPTION CONDITION SPECIALE

B.4. MISE EN OEUVRE LOGICIELLE

B.4.1. PROGRAMMATION

B.4.2. UTILISATION DES INTERRUPTIONS CONDITION SPECIALE

B.4.3. UTILISATION DES INTERRUPTIONS STATUS EMISSION ET RECEPTION

A. INTRODUCTION

La carte **ICV 926** est une carte 6 liaisons série basée sur trois 85C30 à 16MHz servis par un séquenceur alimentant 12 FIFOs de 512 x 9 bits.

Le séquenceur prend totalement en charge les flux de données en émission et en réception tout en prévenant le processeur hôte de la réception de conditions spéciales (break, parité, ...).

La communication au travers du VME se fait par un mécanisme simple et rapide de registres bidirectionnels, de FIFOs et d'interruptions (temps d'accès < 50ns, bloc transfert, ...) minimisant l'occupation du ou des processeurs maîtres.

La carte **ICV 926** supporte les environnements multiprocesseurs.

L'isolement galvanique sépare la partie calculateur de la partie drivers de ligne. Toutes les alimentations sont prévues sur la carte.

Cette documentation réduite a pour but d'informer les utilisateurs sur le type d'architecture utilisée par l'**ICV 926**.

B. ANALYSE FONCTIONNELLE

B.1. INTERFACE BUS VME

La carte **ICV 926** est une carte esclave A24/D16 occupant en espace mémoire de 256 octets en accès standard, en accès 16 bits et 8 bits.

B.1.1. ADRESSAGE CARTE ICV 926

L'adressage de base de la carte est codée par cavalier sur 16 bits.

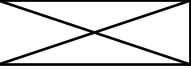
| | | | | | | | | | | | | | | | |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| W15 | W14 | W13 | W12 | W11 | W10 | W09 | W08 | W07 | W06 | W05 | W04 | W03 | W02 | W01 | W00 |
| A23 | A22 | A21 | A20 | A19 | A18 | A17 | A16 | A15 | A14 | A13 | A12 | A11 | A10 | A09 | A08 |

Remarque : La présence d'un cavalier equivaut à un 0 logique.

B.1.2. RESSOURCES GENERALES

CARTE ICV 926

L'espace mémoire de la carte **ICV 926** se décompose comme suit :

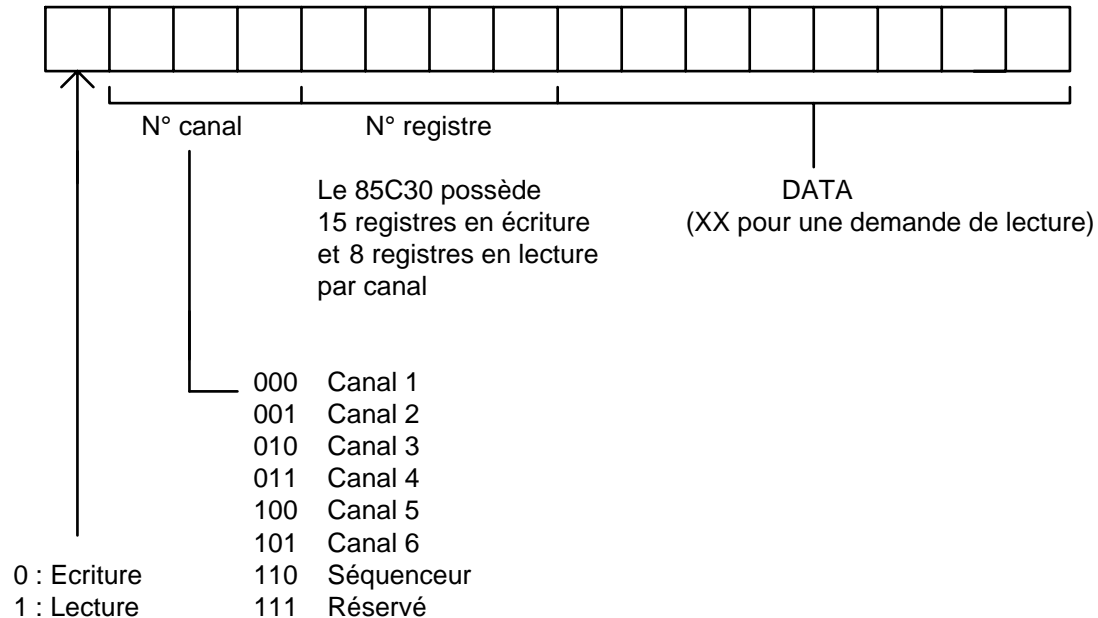
| | | AU RESET |
|--------|---|----------|
| xxxxFF | Redondance | |
| xxxx1F | | |
| xxxx1E | Registre séquenceur (HSR7) | 0080 |
| xxxx1C | Registre d'échange (HSR6) | 0000 |
| xxxx1A | Status FIFO émission (HDR5) | xxxx |
| xxxx18 | Status FIFO réception (HDR4) | xxxx |
| xxxx16 | Registre IT status (HDR3) | xxxx |
| xxxx14 | (HDR2) | xxxx |
| xxxx12 | Registre status (HDR1) | xxxx |
| xxxx10 | Registre programmation (HDR0) | xxxx |
| xxxx0E | FIFO CANAL 6 | xxxx |
| xxxx0C | FIFO CANAL 5 | xxxx |
| xxxx0A | FIFO CANAL 4 | xxxx |
| xxxx08 | FIFO CANAL 3 | xxxx |
| xxxx06 | FIFO CANAL 2 | xxxx |
| xxxx04 | FIFO CANAL 1 | xxxx |
| xxxx02 | TAS  Registre contrôle IT vecteur + niveau | 0000 |
| xxxx00 | Registre d'identification | B37C |

B.2. LES REGISTRES

B.2.1. LE REGISTRE DE PROGRAMMATION

Le registre de programmation est un registre en écriture seule permettant d'accéder, en lecture ou en écriture, aux registres des 85C30 et de configurer le séquenceur.

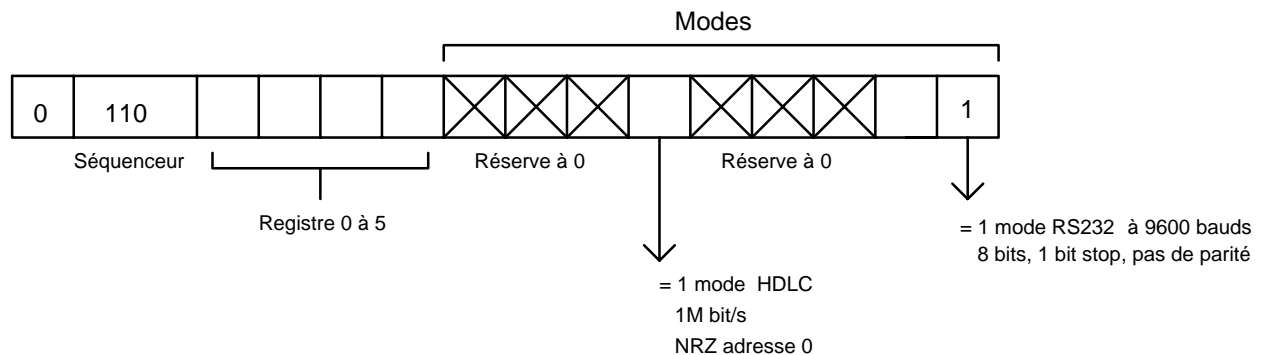
REGISTRE HDR0 xxxx10H



Remarque : Le séquenceur possède 2 registres de masque en écriture / lecture.

REGISTRE SEQUENCEUR 0 A 5 (0 à 5 canaux)

Ces registres permettent de demander au DSP de préprogrammer les canaux dans certains modes de fonctionnement.

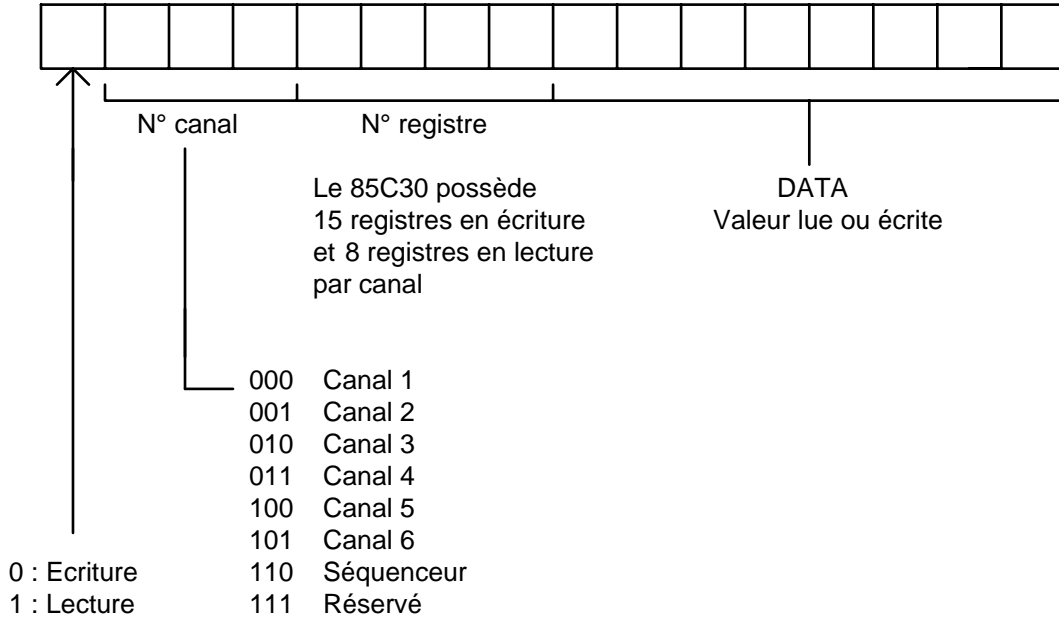


Seuls 2 modes sont préprogrammés : = 1 mode asynchrone RS232
= 1 mode synchrone HDLC

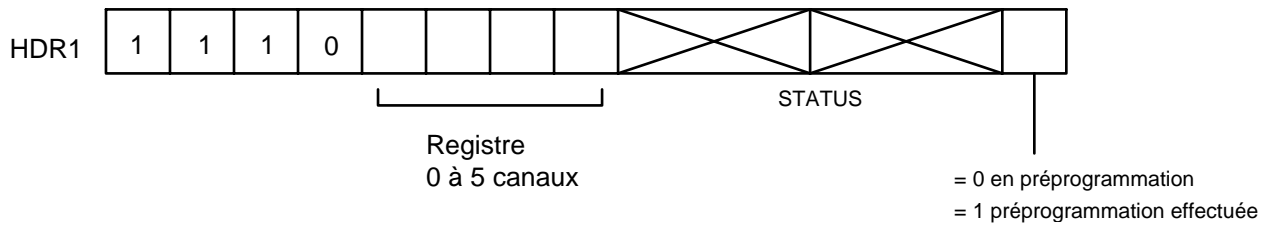
B.2.2. LE REGISTRE DE STATUS

Le registre de status est un registre en lecture seule donnant le résultat d'une demande d'accès par le registre de programmation.

REGISTRE HDR1 xxxx12H



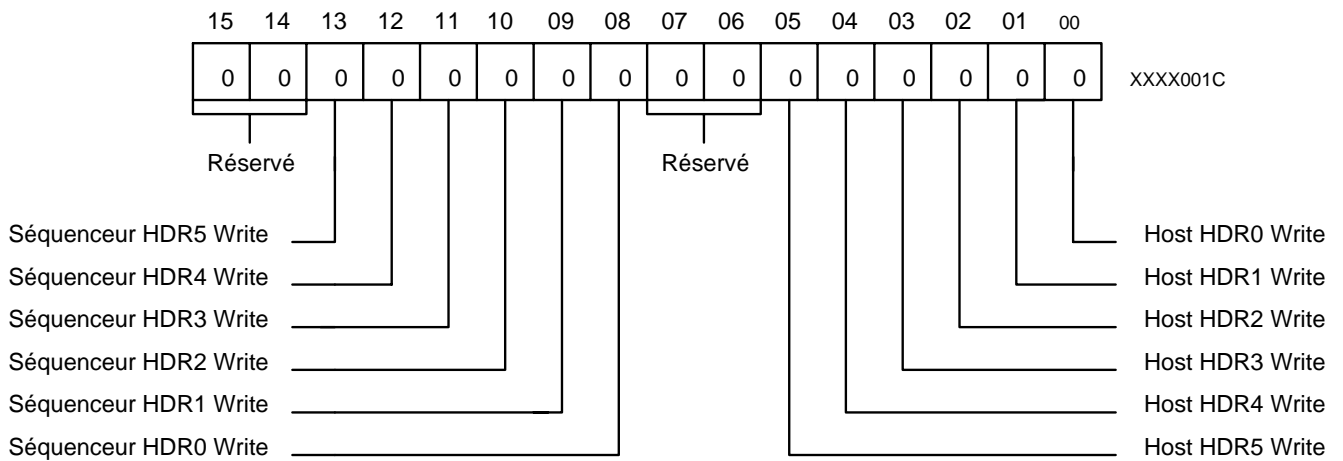
REGISTRE SEQUENCEUR 0 A 5 (0 à 5 canaux)



B.2.3. LE REGISTRE D'ECHANGE HSR6

Le registre HSR6 fournit un mécanisme de communication performant avec le séquenceur.

REGISTRE HSR6 xxxx1CH

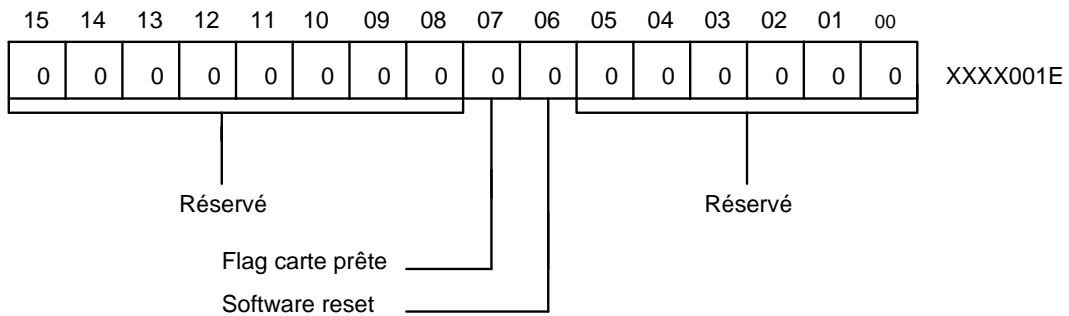


Lorsque une information est écrite dans un registre HDRx, le bit correspondant est mis à 1.

Lorsque cette information est lue, le bit est remis à 0.

B.2.4. LE REGISTRE SEQUENCEUR HSR7

REGISTRE HSR7 xxxx1EH



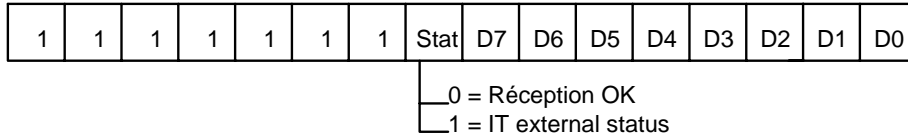
Ce registre fournit :

- = Un bit software reset (D6) permettant d'effectuer un reset complet de la carte sur l'écriture d'un "1"
- = Un bit carte prête (D7) à 1 au reset de la carte, et positionné à 0 après l'autotest de la carte.

B.2.5. LES FIFOs RECEPTION

La carte **ICV 926** possède 6 FIFOs 512 x 9 bits en réception accessibles en lecture 16 bits en accès standard ou bloc transfert. Le 9ème bit indique une condition spéciale sur la réception de l'octet.

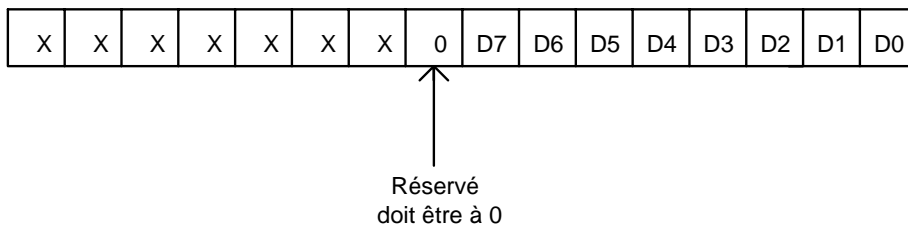
REGISTRE xxxx04H à xxxx0EH



B.2.6. LES FIFOs EMISSION

La carte **ICV 926** possède 6 FIFOs 512 x 9 bits en émission accessibles en écriture 16 bits en accès standard ou bloc transfert. Le 9ème bit doit être à 0.

REGISTRE xxxx04H à xxxx0EH



B.3. INTERRUPTIONS VME

La carte **ICV 926** possède 8 sources d'interruptions :

- = Demande par les FIFOs émission d'une intervention du processeur hôte.
- = Demande par les FIFOs réception d'une intervention du processeur hôte.
- = Réception d'une condition spéciale par l'un des canaux.

La carte **ICV 926** génère une interruption vectorisée sur le bus **VME** et fournit 8 vecteurs différents suivant la source d'interruption.

| VECTEUR | PRIORITE | SOURCE INTERRUPTION |
|---------------|-------------|------------------------------|
| Vecteur + 111 | Plus élevée | Interruption Status canal 0 |
| Vecteur + 110 | | Interruption Status canal 1 |
| Vecteur + 101 | | Interruption Status canal 2 |
| Vecteur + 100 | | Interruption Status canal 3 |
| Vecteur + 011 | | Interruption Status canal 4 |
| Vecteur + 010 | | Interruption Status canal 5 |
| Vecteur + 001 | Plus faible | Interruption FIFOs Réception |
| Vecteur + 000 | | Interruption FIFOs Emission |

B.3.1. LE REGISTRE DE CONTROLE D'INTERRUPTION

Un registre de contrôle d'interruption permet de fixer le niveau de priorité des interruptions ainsi que les 5 bits de poids fort du vecteur.

REGISTRE CONTROLE IT xxxx02H

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----------------|----|----|----|----|---------------|----|----|
| VECTEUR | | | | | NIVEAU | | |

- **VECTEUR** : Les bits D3 à D7 permettent de définir le poids fort du vecteur d'interruption.
- **NIVEAU** : Les bits D2, D1 et D0 permettent de définir le niveau d'interruption utilisé.

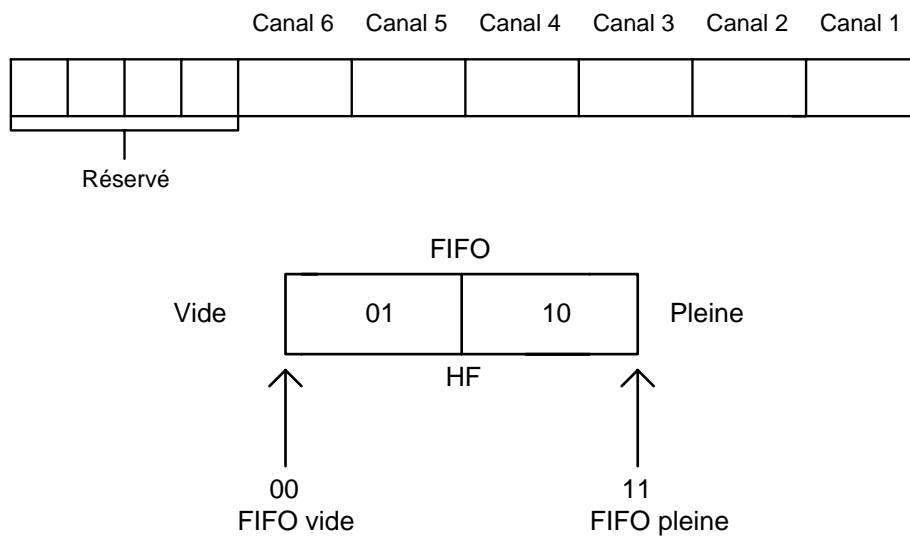
B.3.2. INTERRUPTION STATUS FIFO RECEPTION

La carte **ICV 926** émet une interruption lorsque :

- = Une FIFO devient non vide (réception du 1er caractère) (EF).
- = L'occupation d'une FIFO passe de moins de la moitié à plus de la moitié
- = Une FIFO déborde (FIFO pleine). Cette interruption n'est pas masquable.

- **Registre status FIFO réception**

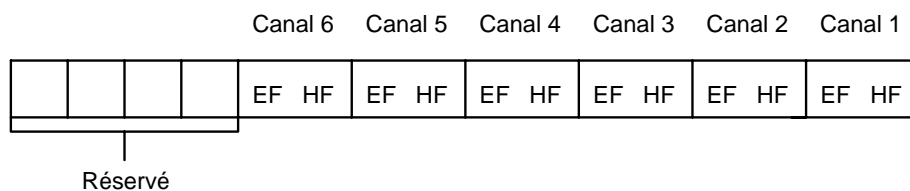
REGISTRE HDR4 xxxx18H



L'acquittement de cette interruption se fait par une lecture de ce registre.

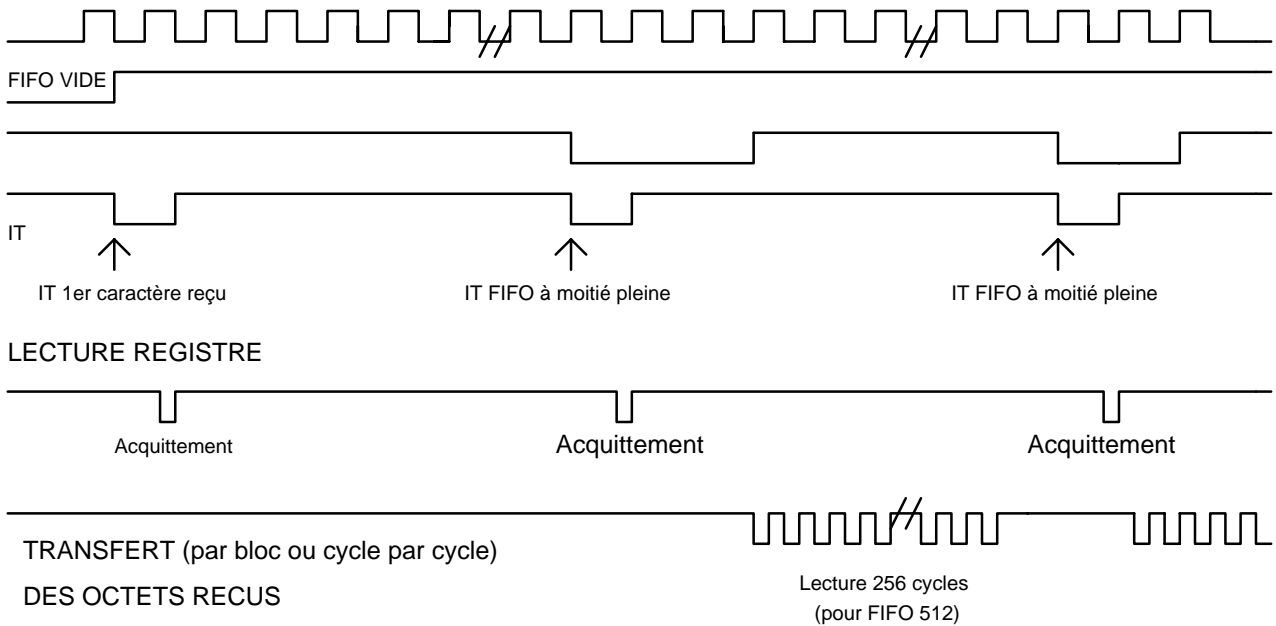
- **Registre masque interruption FIFO réception**

REGISTRE INTERNE SEQUENCEUR 8



- 0 IT masquée.
- 1 IT autorisée.

MECANISME DE RECEPTION SOUS INTERRUPTIONS



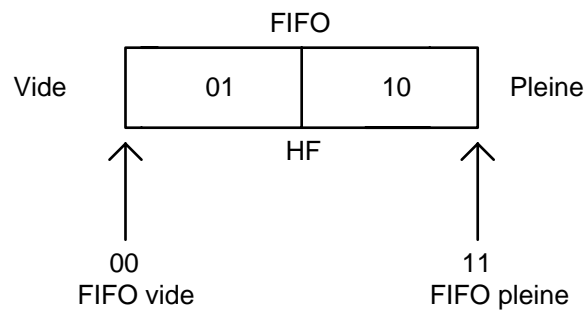
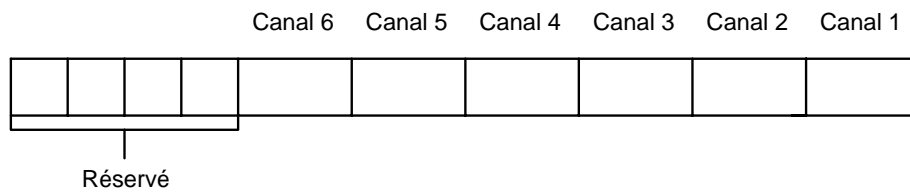
B.3.3. INTERRUPTION STATUS FIFO EMISSION

La carte **ICV 926** émet en interruption lorsque :

- = L'occupation d'une FIFO passe de plus de la moitié à moins de la moitié (HF).
- = Une FIFO devient vide (EF).

- **Registre status émission**

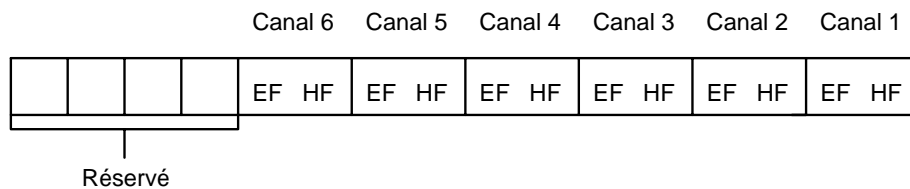
REGISTRE HDR5 xxxx0AH



L'acquiescement de cette interruption se fait par une lecture de ce registre.

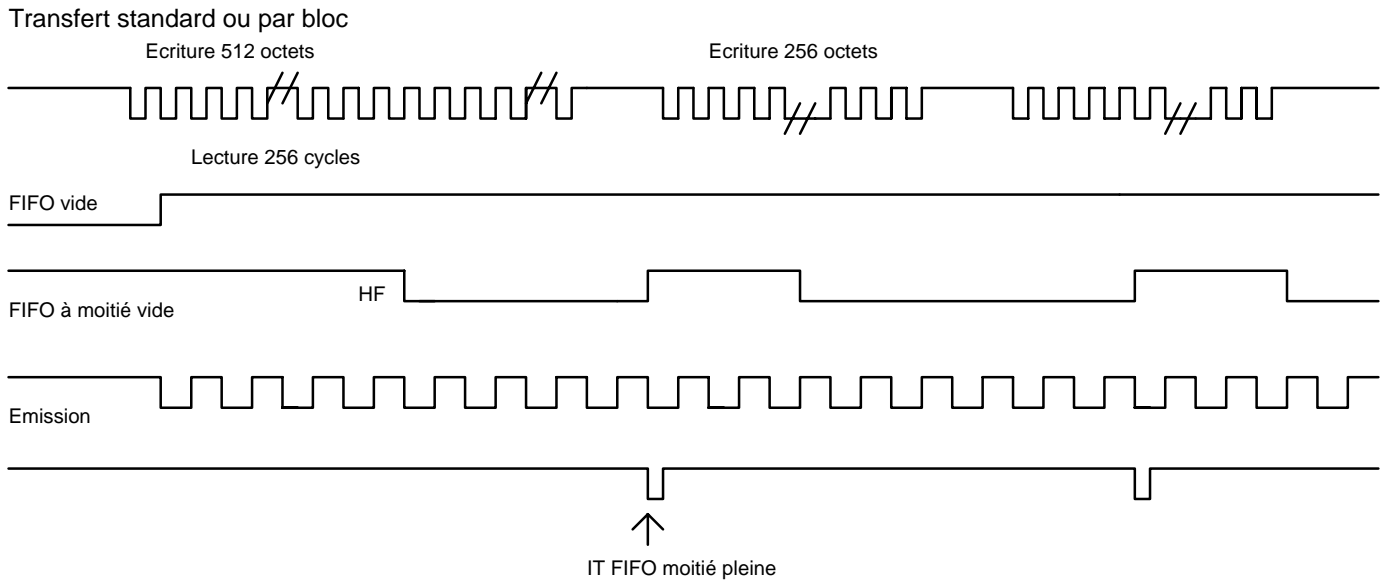
- **Registre masque interruption FIFO émission**

REGISTRE INTERNE SEQUENCEUR 9



- 0 IT masquée.
- 1 IT autorisée.

MECANISME D'EMISSION SOUS INTERRUPTIONS



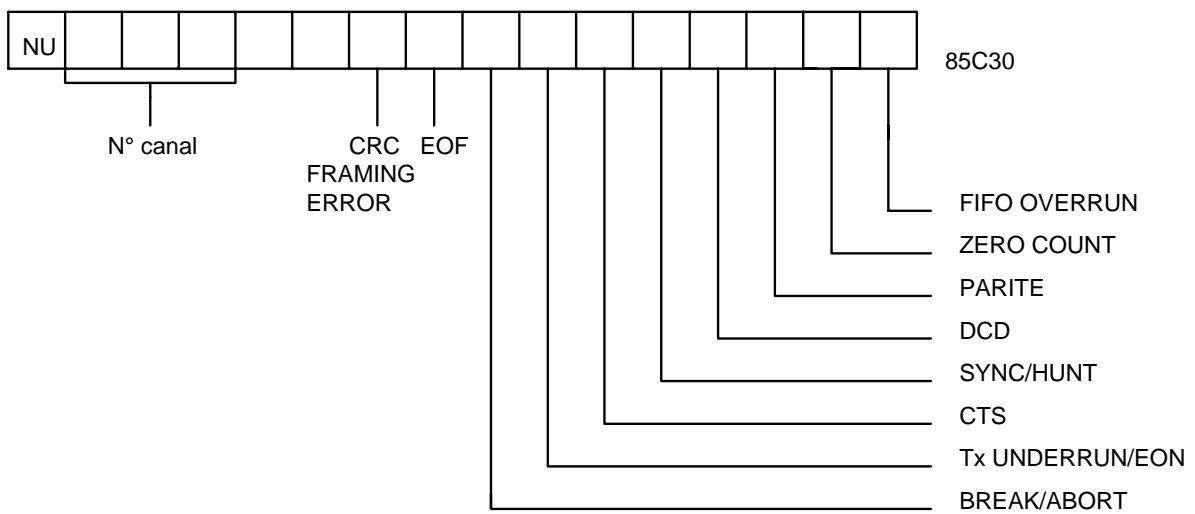
B.3.4. INTERRUPTION CONDITION SPECIALE

L'interruption condition spéciale est émise sur la réception d'une condition particulière (special condition, parity, external/status) sur un canal d'un 85C30.

Ces interruptions peuvent être masquées individuellement et par canal en agissant directement sur les registre des 85C30.

- **Registre IT status**

REGISTRE HDR3 xxxx16H



L'acquiescement de cette interruption s'effectue par une lecture de ce registre.

Remarque : Les ITs status sont masquées directement au niveau du 85C30.

Chaque canal génère son propre vecteur. L'octet concerné par cette IT est marqué dans la FIFO (bit D8 à 1).

B.5. MISE EN OEUVRE LOGICIELLE

B.5.1. PROGRAMMATION

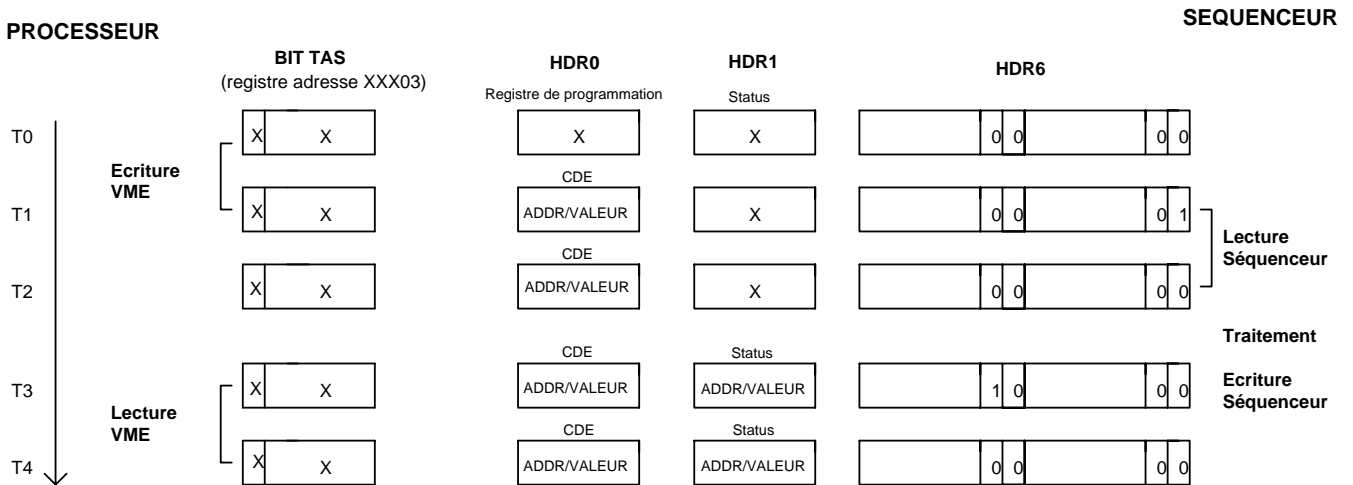
La programmation des 6 canaux des 85C30 s'effectue de façon transparente par le ou les processeurs hôtes. L'utilisation optionnelle de l'instruction indivisible sur un octet TAS permet l'utilisation concurrente de canaux par plusieurs processeurs. Chaque canal doit être programmé par le processeur l'utilisant.

- les cases notées U sont déterminées par l'utilisateur

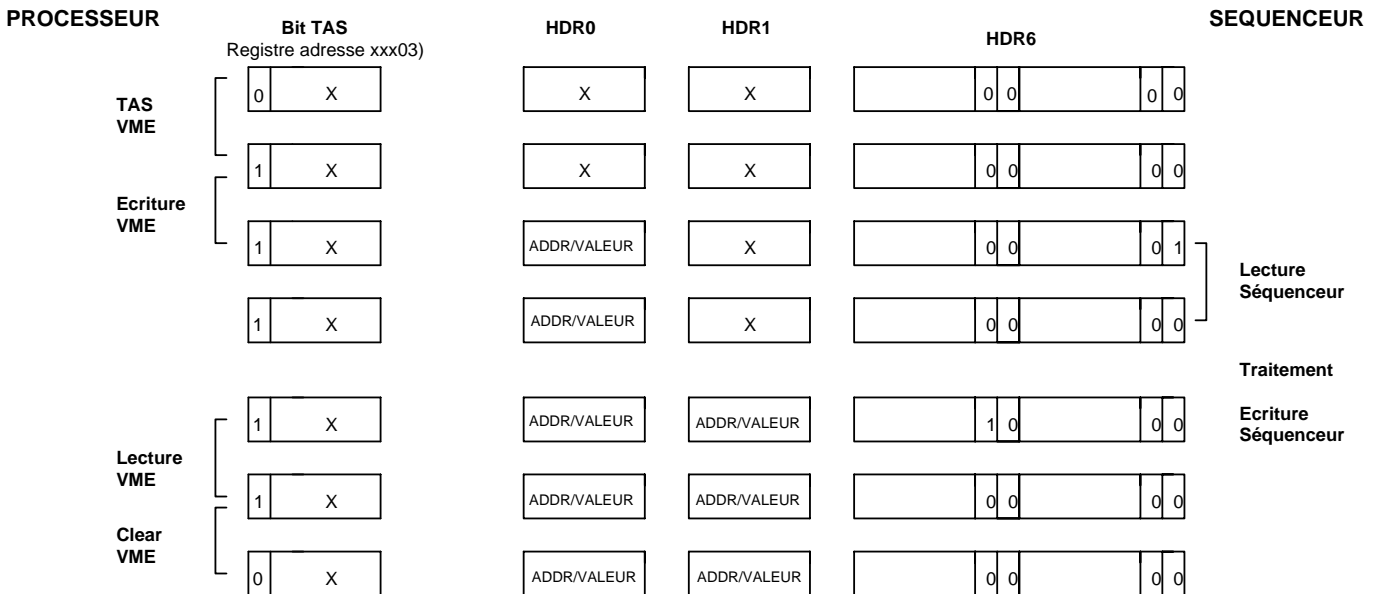
| | | BINARY | | | | | | | | COMMENTS | |
|-----------|------|--------|---|---|---|---|---|---|---|--------------------------|----------------------------------|
| | | | 7 | 8 | 5 | 4 | 3 | 2 | 1 | 0 | |
| MODES | WR9 | C 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | SOFTWARE RESET |
| | WR0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| | WR4 | — | U | U | U | U | U | U | U | U | |
| | WR1 | — | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| | WR2 | — | 0 | 0 | N | N | 0 | 0 | 0 | 0 | VECTEUR INTERNE NN = N° 85C30 |
| | WR3 | — | U | U | U | U | U | U | U | 0 | |
| | WR5 | — | U | U | U | U | 0 | U | U | U | |
| | WR6 | — | U | U | U | U | U | U | U | U | |
| | WR7 | — | U | U | U | U | U | U | U | U | |
| | WR8 | — | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| | WR9 | — | U | U | U | U | U | U | U | U | |
| | WR10 | — | U | U | U | U | U | U | U | U | |
| | WR11 | — | U | U | U | U | U | U | U | U | |
| | WR12 | — | U | U | U | U | U | U | U | U | |
| | WR13 | — | U | U | U | U | U | U | U | 0 | |
| WR14 | — | U | U | U | U | U | U | U | 0 | | |
| ENABLES | WR14 | — | 0 | 0 | 0 | U | U | U | U | 1 | |
| | WR3 | — | U | U | U | U | U | U | U | 1 | |
| | WR5 | — | U | U | U | U | 1 | U | U | U | |
| | WR0 | 8 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | RESET TxCRC |
| INTERRUPT | WR1 | — | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| | WR15 | — | U | U | U | U | U | U | U | U | |
| | WR0 | 1 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | RESET EXT STATUS |
| | WR0 | 1 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | RESET EXT STATUS |
| | WR1 | — | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | MASQUE IT |
| WR0 | — | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | MASTER INTERRUPT CONTROL | |

Nota : Les modes de fonctionnement préprogrammés peuvent servir de référence puis, par le mode transparent, l'utilisateur peut affiner le mode choisi (ex. : RS232 à 4800 bauds, changer les registres WR12 et WR13 uniquement)

MECANISME DE PROGRAMMATION EN ENVIRONNEMENT MONO PROCESSEUR



MECANISME DE PROGRAMMATION EN ENVIRONNEMENT MULTIPROCESSEUR



B.4.2. UTILISATION DES INTERRUPTIONS CONDITION SPECIALE

Ces interruptions utilisent un même niveau mais 6 vecteurs différents.

Dans le cas d'un environnement multiprocesseur, le processeur hôte gérant les interruptions devra prévenir le processeur concerné.

B.4.3. UTILISATION DES INTERRUPTIONS STATUS EMISSION ET RECEPTION

En environnement monoprocesseur, on peut gérer l'émission et la réception soit sous interruptions, soit en mode polling.

En environnement multiprocesseur, l'écriture et la lecture des FIFOs s'effectuent en mode polling (IT FLAG FIFO MASQUEE) sur les registres status FIFO émission et status FIFO réception.