

ICM 832 / 864

OBSOLETE



ICM 832 / 864

S O M M A I R E

A. INTERFACE MULTIBUS

B. FONCTIONNEMENT

B.1. CHEMINEMENT DU SIGNAL

B.2. CONVERTISSEUR ANALOGIQUE DIGITAL

B.3. CONVERSION

B.4. INTERRUPTIONS

B.5. FORMAT D'ECRITURE

B.6. FORMAT DE LECTURE

C. UTILISATION

C.1. SELECTION DES ADRESSES

C.2. TEMPS D'ACCES

C.3. BORNIER DE RACCORDEMENT ICM 832

C.4. BORNIER DE RACCORDEMENT ICM 864

D. MISE EN OEUVRE

D.1. SELECTION DE L'ADRESSE BASSE

D.2. INTERRUPTIONS

D.3. ALIMENTATIONS ANALOGIQUES

D.4. ADAPTATION DES VOIES

D.5. PROTECTION

D.6. AUGMENTATION DE LA SENSIBILITE

D.7. STRAPS

D.8. REGLAGES

E. PLAN D'EQUIPEMENT

A. INTERFACE MULTIBUS

La carte peut être utilisée avec des microprocesseurs 8 et 16 bits.

L'interface **MULTIBUS** s'articule en trois groupes de base :

- Décodage d'adresse ;
- Drivers de bus (**DATAS**) ;
- Signaux de contrôle.

Le tableau ci-après décrit les signaux utilisés sur le connecteur P1.

- SIGNAUX UTILISES SUR "P1" -

	PIN	COTE *	COMPOSANTS **	PIN	COTE *	CIRCUIT **
Alimentation	1	GND	Masse	2	GND	Masse
	3	+ 5V		4	+ 5V	
	5	+ 5V		6	+ 5V	
	7	+ 12V		8	+ 12V	
	9	- 5V		10	- 5V	
	11	GND	Masse	12	GND	Masse
Bus contrôles	13			14	INIT /	Initialisation
	15			16		
	17			18		
	19			20		
	21	IORC /	I/O Read cde	22	IOWC/	I/O Write cde
	23	XACK /	TFER acc. réc.	24		
	25			26		
	27	BHEN /	BYTE HIGH ENAB	28		
	29			30		
	31	CCLK /	CONSTANT CLOCK	32		
33			34			
Interruptions	35	INT 6 /		36	INT 7 /	
	37	INT 4 /	Demandes	38	INT 5 /	Demandes
	39	INT 2 /	d'interruption //	40	INT 3 /	d'interruption //
	41	INT 0 /		42	INT 1 /	
Adresses	43	ADR E /		44	ADR F /	
	45	ADR C /		46	ADR D /	
	47	ADR A /		48	ADR B /	
	49	ADR 8 /		50	ADR 9 /	
	51	ADR 6 /	Bus d'adresse	52	ADR 7 /	Bus
	53	ADR 4 /		54	ADR 5 /	d'adresses
	55	ADR 2 /		56	ADR 3 /	
	57	ADR 0 /		58	ADR 1 /	
DATAs	59	DAT E /		60	DAT F /	
	61	DAT C /		62	DAT D /	
	63	DAT A /		64	DAT B /	
	65	DAT 8 /	Bus des DATAs	66	DAT 9 /	Bus des
	67	DAT 6 /		68	DAT 7 /	DATAs
	69	DAT 4 /		70	DAT 5 /	
	71	DAT 2 /		72	DAT 3 /	
	73	DAT 0 /		74	DAT 1 /	
Alimentation	75	GND	Masse	76	GND	Masse
	77			78		
	79	- 12V		80	- 12V	
	81	+ 5V		82	+ 5V	
	83	+ 5V		84	+ 5V	
	85	GND	Masse	86	GND	Masse

* Mnémonic

** Description

/ : Actif à l'état bas

CCLK / *Horloge constante*

Période minimum **100 ns** et **35%** à **65%** de rapport cyclique.
C'est elle que l'on utilise pour déterminer le temps d'accès de la carte d'entrées / sorties.

IORC / I/O commande de lecture

Ce signal apparaît **50ns** minimum après la sélection d'une carte d'entrées / sorties et indique que cette dernière doit présenter des **DATAS** sur le **MULTIBUS**.

IOWC / *Commande d'écriture*

Ce signal indique que des **DATAS** sont disponibles depuis au moins **50ns** sur le **MULTIBUS** et doivent être écrits à l'adresse indiquée de la carte d'entrées / sorties.

Nota : Les signaux **IORC /** et **IOWC /** peuvent être reliés aux entrées E2 des 8205 afin de générer des "chips selects" en lecture et en écriture.

XACK / *Accusé de réception*

Ce signal indique que la carte "esclave" a bien réalisé son opération de lecture ou d'écriture.

Ce temps est programmable sur la carte de 0 à 8 impulsions de **CCLK /** soit de **0** à **800ns**.

Ceci est réalisé par un registre à décalage.

Le signal **BHEN BL /** libère le clear de **74164 (U 2)** ainsi que le tristate du **74 LS 368 (U 11)**.

Les informations sur **A** et **B** ("1") sont alors transférées par **CCLK /** ; la prise en compte d'une des sorties du registre à décalage détermine le temps d'accès de la carte.

INT 0 / *8 niveaux parallèles de demande d'interruptions*

INT 7 / La logique d'interruption utilise **2 x 74S74 (U 13 ; U 14)**.

Les sorties **Q** des registres de demande d'interruption peuvent être aiguillées sur l'une des lignes d'interruption du **MULTIBUS** par l'intermédiaire d'un collecteur ouvert **7406 (U 15)**.

Les états des registres d'interruption sont transférés dans un registre de status d'interruption qui peut être lu à l'adresse basse de la carte.

DAT 0 contient alors l'interruption provoquée par **INT REQUEST 0** et **DAT 1** l'interruption d'**INT REQUEST 1**.

Le fait d'écrire à l'adresse basse de la carte **RESET** les "latches" d'interruptions.

Cette méthode permet de connaître d'où provient une interruption lorsque plusieurs cartes utilisent la même ligne de priorité.

Nota : Seules les cartes qui nécessitent des interruptions utilisent ces lignes.

INIT / *Signal d'initialisation*

Positionne à "0" les entrées / sorties lors de la mise sous tension de la carte.

ADR 0/ *16 lignes d'adresses*

à Ces lignes permettent l'adressage de la carte.

ADR F / Dans le cas d'un microprocesseur 8 bits, seules les adresses **ADR 0 /** à **ADR F /** sont utilisées pour le décodage.

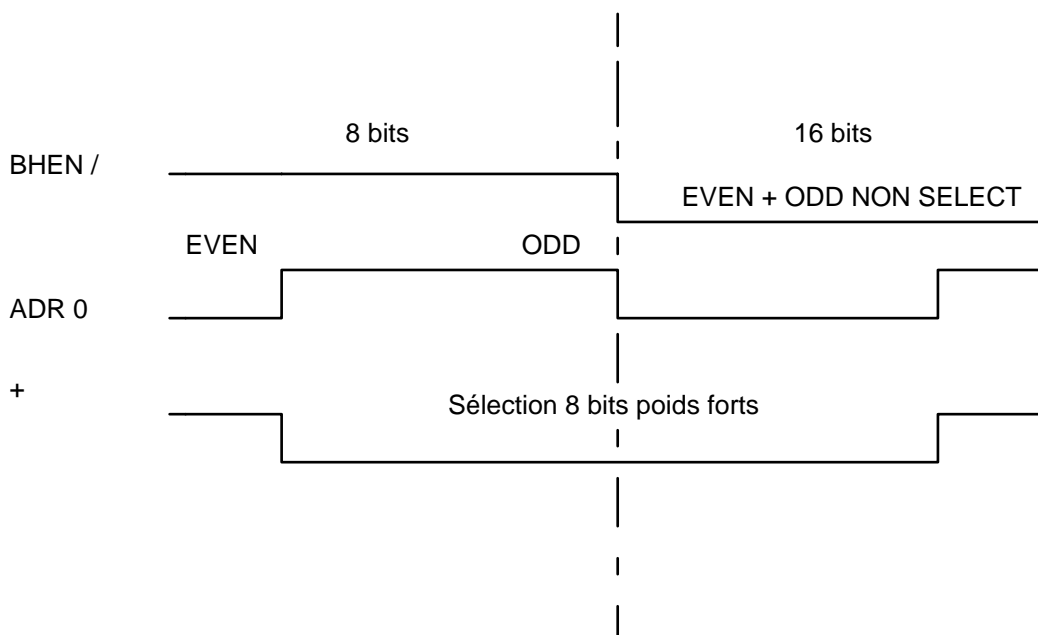
La carte occupe un espace mémoire de 16 adresses.

Le microprocesseur peut donc adresser 16 cartes dans le cas d'un 8 bits et 256 cartes dans le cas d'un 16 bits.

Les adresses **ADR 4 /** à **ADR F /** sont décodées par les **74 LS 688 (U 3 ; U 4)**, ce qui génère "BASE ADDRESS SELECT" qui active l'entrée E1 des 8205 (U 18 ; U 19 ; U 20 ; U 21).

Les adresses **ADR 1 /**, **ADR 2 /**, **ADR 3 /** fournissent l'adressage pair.

La combinaison de **ADR 0 /** et **BHEN /** par l'intermédiaire d'un "OU EXCLUSIF" contribue à la sélection des 8 bits de poids forts qui sont sélectionnés par **ADR 0 /** dans le cas d'un transfert 8 bits et par **BHEN /** dans le cas d'un transfert 16 bits.



BHEN / *Byte de poids forts disponibles*

Ce signal est utilisé dans les systèmes 16 bits pour indiquer que les bits de poids forts (**DAT 8 / - DATF /**) peuvent être transférés sur les lignes correspondantes du **MULTIBUS**.

Le tableau ci-dessous illustre les différents modes de transferts :

Il est à noter que la condition **BHEN /** et **ADR 0 / = 0** conduit à une lecture erronée. Dans le cas 16 bits, les DATAS de **0** à **F** apparaissent sur les lignes correspondantes du MULTIBUS aux adresses paires.

DAT 0 / *16 lignes bidirectionnelles des DATAS*

DATF / **DATF /** est le poids fort pour les transferts 16 bits.

Dans les systèmes 8 bits, seules les lignes **DAT 0 /** à **DAT 7 /** sont utilisées et **DAT 7 /** est le poids fort.

Les "buffers" sont réalisés par des **8287 (U 6 ; U 7 ; U 8)**.

Le circuit **U 7** sert d'aiguillage au **BYTE** de poids forts dans le 8 / 16 bits.

B. FONCTIONNEMENT

B.1. CHEMINEMENT DU SIGNAL

Les signaux analogiques sont multiplexés par les circuits **IC 36 à IC 40** (HI 506 ou HI 507).

La voie ainsi sélectionnée est présentée à un amplificateur d'instrumentation (**INA 101**). Celui-ci assure le passage du mode différentiel au mode simple.

Le signal est alors amplifié par un amplificateur à gains programmables par logiciel composé de l'**OP 07** et du **HI 509 A**. Les gains disponibles sont 1, 2, 4, 8.

L'amplificateur d'isolement "**3656**" est du type ferromagnétique. Il est caractérisé par un isolement galvanique élevé et une grande précision.

A la suite de l'amplificateur d'isolement, on trouve un échantillonneur / bloqueur **SHM 20 C**.

La conversion est assurée par un **ADC 80-12**.

La partie analogique isolée galvanique est alimentée par un **PWR 70**.

B.2. CONVERTISSEUR ANALOGIQUE DIGITAL

Le convertisseur analogique digital est en offset binaire pour le bipolaire :

CODE	NIVEAU
FFF	+ Ve max. - 1LSB
800	0V
000	- Ve max.

Les tensions maximales en fonction du code gain sont :

CODE	NIVEAU
00	± 10V
01	± 5V
10	± 2,5V
11	± 1,25V

Ce qui confère à la carte une dynamique équivalente de 14 bits.

B.3. CONVERSION

Il existe deux méthodes pour lancer une conversion.

La première lance la conversion lors de la sélection de la voie désirée à l'adresse basse + 4.

La valeur digitale de la voie est alors disponible lorsque le bit "EOC" (DATA 0 de l'adresse basse = 1) est présent, ceci 330 μ s après la demande de conversion.

Le temps de réponse se décompose en 300 μ s pour l'établissement de l'amplificateur d'isolement et 30 μ s de temps de conversion.

La deuxième méthode sépare la sélection de la conversion.

Lorsque l'on désire par exemple effectuer une moyenne sur une voie (filtrage numérique), il suffit alors d'écrire le numéro de la voie à l'adresse basse + 6.

Ceci a pour effet de sélectionner la voie mais de n'effectuer aucune conversion.

Pour lancer une mesure, une écriture fictive à l'adresse basse + 8 est nécessaire (300 μ s minimum après la sélection).

Dans ce cas, la valeur convertie est disponible 30 μ s après le "START", ce qui permet une moyenne sur plus de 30.000 mesures / secondes.

Lors d'une conversion lancée à l'adresse basse + 4, le LED s'allume.

B.4. INTERRUPTIONS

Le bit de fin de conversion peut également générer, si l'utilisateur le souhaite, des interruptions.

Le signal "EOC" est mis en mémoire dans une bascule (DATA 0) à l'adresse basse.

Une lecture à l'adresse basse + 2 en 16 bits (+ 3 en 8 bits) remet à zéro cette bascule après prise en compte de l'interruption.

B.5. FORMAT D'ECRITURE

La voie à convertir ainsi que son code gain sont définis en une seule instruction.

Si celle-ci est écrite à l'adresse basse + 4, la conversion est lancée immédiatement.

Si celle-ci est écrite à l'adresse basse + 6, l'instruction est mise en mémoire et sera exécutée par l'écriture fictive à l'adresse basse + 8.

◆ ICM 832

DATA	7	6	5	4	3	2	1	0		
Fonction	#	Code gain		N° voie						
# Non utilisé										
Ex. :	0	0	1	1	0	0	0	1	31H	
		G = 2		Voie n° 17						

◆ ICM 864

DATA	7	6	5	4	3	2	1	0		
Fonction	Code gain		N° voie							
Ex. :	1	1	0	1	0	0	1	0	D2 H	
		G = 8		Voie n° 10						

B.6. FORMAT DE LECTURE

DATA	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
Code	Valeur du gain			MSB													LSB

Valeur Hexa en offset binaire

FEDC	GAIN
0001	1
0010	2
0100	4
1000	8

Nota : Ne pas confondre le code gain avec la valeur du gain.

Exemple : Code gain = 3 Valeur du gain = 8

C. UTILISATION

C.1. SELECTION DES ADRESSES

La carte utilise un espace de 16 adresses (XXX0 à XXXF).

Le tableau ci-dessous décrit l'espace en mots de 8 et 16 bits.

		LECTURE					ECRITURE		
BYTE	D0	D3	D4	D5	D6	D7	D0	D7	
XXX0	EOC								
XXX1									
XXX2	LSB	Valeur				BT7			
XXX3	BT8	MSB	Valeur du gain						
		+ RAZ BIT INT STATUS							
XXX4							Code	Adr. voie + gain + START	
XXX5									
XXX6							Code	Adr. voie + gain	
XXX7									
XXX8								START de conversion	
MOTS	D0	DB	DC	DD	DE	DF	D0	DF	
XXX0	EOC								
XXX2	LSB	MSB	Valeur du gain						
		+ RAZ BIT INT STATUS							
XXX4							Code	Adr. voie + gain + START	
XXX6								Adr. voie + code gain	
XXX8								START de conversion	

XXX : Adresse de base de 000 à FFF

Nota : Les cartes sont programmables dans l'espace "entrées/sorties".

C.2. TEMPS D'ACCES

XACK/ est livré sur position de 3 à 4 CCLK/.

C.3. BORNIER DE RACCORDEMENT ICM 832

Les entrées s'effectuent par 2 connecteurs 50 points pour câble en nappe et prise femelle.

Ex : 3425 / 6000 3M

Broche	Signal	J1 Voie	J2 Voie	Broche	Signal	J1 Voie	J2 Voie
1	NC			26	-	8	24
2	-	0	16	27	+		
3	+			28	*		
4	*			29	-	9	25
5	-			30	+		
6	+	1	17	31	*		
7	*			32	-	10	26
8	-			33	+		
9	+	2	18	34	*		
10	*			35	-	11	27
11	-			36	+		
12	+	3	19	37	*		
13	*			38	-	12	28
14	-			39	+		
15	+	4	20	40	*		
16	*			41	-	13	29
17	-			42	+		
18	+	5	21	43	*		
19	*			44	-	14	30
20	-			45	+		
21	+	6	22	46	*		
22	*			47	-	15	31
23	-			48	+		
24	+	7	23	49	*		
25	*			50	NC		

* : Masse isolée

C.4. BORNIER DE RACCORDEMENT ICM 864

Les entrées s'effectuent par 2 connecteurs 50 points pour câble en nappe et prise femelle.

Ex : 3435 / 6000 3M

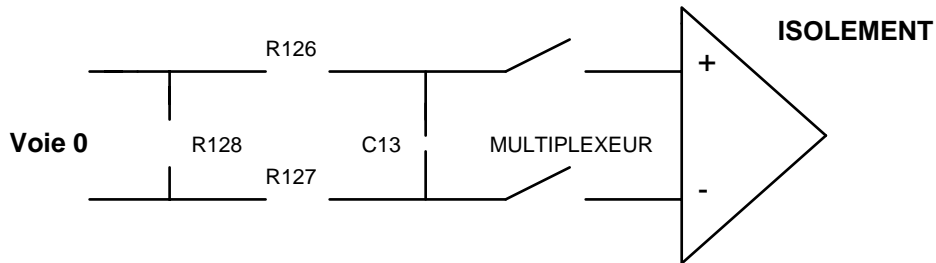
Broche	Signal	J1 Voie	J2 Voie	Broche	Signal	J1 Voie	J2 Voie
1	NC			26	+	8	24
2	+	0	16	27	+	40	56
3	+	32	48	28	*		
4	*			29	+	9	25
5	+	1	17	30	+	41	57
6	+	33	49	31	*		
7	*			32	+	10	26
8	+	2	18	33	+	42	58
9	+	34	50	34	*		
10	*			35	+	11	27
11	+	3	19	36	+	43	59
12	+	35	51	37	*		
13	*			38	+	12	28
14	+	4	20	39	+	44	60
15	+	36	52	40	*		
16	*			41	+	13	29
17	+	5	21	42	+	45	61
18	+	37	53	43	*		
19	*			44	+	14	30
20	+	6	22	45	+	46	62
21	+	38	54	46	*		
22	*			47	+	15	31
23	+	7	23	48	+	47	63
24	+	39	55	49	*		
25	*			50	NC		

* : Masse isolée

D.4. ADAPTATION DES VOIES

La carte peut être adaptée suivant les besoins de l'utilisateur.

Le schéma équivalent est :



R128 : Résistance de fermeture des boucles 4-20 mA.
Par exemple : 250 Ω pour 5V FS.

R126/R127/C : Réseau pour filtre RC 1er ordre.

La configuration est : **R126 = 1K Ω** **R127 = 1K Ω**
R128 = ∞ **C = 0**

D.5. PROTECTION

Les cartes sont protégées par des signaux d'une amplitude maximale de $\pm 15V$.
Des tensions supérieures peuvent entraîner des dommages importants sur le multiplexeur et l'amplificateur d'isolement.

D.6. AUGMENTATION DE LA SENSIBILITE

Une résistance est prévue sur l'amplificateur d'instrumentation afin d'augmenter le gain de celui-ci.(R.148).

$$G = 1 + \frac{40 \text{ K}}{R}$$

Ex : **R = 10K Ω 0,1 % G = 5**

L'**ICM 832** fonctionnera alors de $\pm 1V$ à $\pm 125 \text{ mV FS}$.

Il est alors nécessaire de tenir compte de ce changement dans le logiciel.

La carte est livrée avec $G = 1$ soit $R = \infty$.

D.7. STRAPS

ST1/ST2	:	XACK
ST4/ST5	:	Choix du niveau d'interruption
ST6	:	Swapping Microprocesseur 8 bits : AB Microprocesseur 16 bits : BC
ST7		
ST8	:	Straps usine
ST9		
ST10		
ST11	:	Configuration du convertisseur A/D Unipolaire : AB et CD Bipolaire : BC La carte est livrée en bipolaire.
ST12	:	Straps usine Wrap ICM 832 AD et BC ICM 864 BE et CD
ST13	:	Straps usine ICM 832 AB ICM 864 BC

D.8. REGLAGES

P1 : Réglage du gain.

P2 : Offset de l'amplificateur d'instrumentation (option).

P3 : Offset de l'amplificateur d'isolement.

L'**ICM 832/864** est réglée en usine avec des sources étalonnées.

Il est conseillé de contrôler le bien fondé d'une action sur les réglages avant de l'entreprendre.

- Procédure** :
- Appliquer - Ve max. (-10.000V) ;
 - Régler l'offset (P3) pour faire apparaître 000/001 ;
 - Appliquer + Ve max. - 1 LSB ;
 - Régler le gain (P1) pour obtenir FFF ;
 - Réitérer l'opération, les réglages ayant une légère influence l'un sur l'autre ;
 - Le réglage de l'offset de l'amplificateur d'instrumentation n'est nécessaire que si celui-ci à un gain > 10.

E. PLAN D'EQUIPEMENT